

## 明 細 書

ネットリスト変換方法、ネットリスト変換装置、静止状態貫通電流検出方法、及び静止状態貫通電流検出装置

5

## 技術分野

本発明は、アナログCMOS回路における静止状態の貫通電流検出方法とその装置及び、それにかかるネットリスト変換方法とその装置に関するものである。

## 10 背景技術

近年、携帯端末などの発達に伴う限られた電力での長時間駆動の必要性、及び地球環境保護の観点より、省エネルギーを実現するための電力削減が不可欠であり、低消費電力のシステムが必要とされている。そのため、システム内の不要な回路をこまめにパワーダウンすることが重要であり、静止状態での消費電力の削減は非常に重要な役割を占めている。特に、アナログCMOS回路においては電力規模が大きければかりか、静止状態での予期せぬ貫通電流が問題となる。

LSIにおける貫通電流の主な発生原因は、論理ゲート回路入力端子やトランジスタのゲート電極の開放状態、あるいはハイインピーダンス状態となっている接点に入力端子やトランジスタのゲート端子が接続されることなどにより、論理ゲート回路入力端子やトランジスタのゲート端子、あるいは入力端子やトランジスタのゲート端子と、電源電圧－グランド電圧の中間電位とが、浮遊容量・寄生抵抗等によって電氣的に結合され、トランジスタに貫通電流が流れることが挙げられる。

そして、このような貫通電流を検出する方法としては、例えば、CMOS論理ゲートシミュレーションを実施して、ある論理ゲートAに注目し、その論理ゲートAの出力が不定状態であったとき、その論理ゲートAが接続されている後段の論理ゲートBがその不定状態を伝播するか否かを判定することで、その論理ゲートBにおいて貫通電流が発生する可能性があるか否かを判定する手法が提案されている（例えば、特開平7-28879号公報（第5頁、第1-3図）、特開

2002-163322号公報、特開2003-186935号公報参照)。

しかしながら、上述したような貫通電流検出方法の多くは、CMOS論理ゲートのみで構成される回路を対象とするものであって、アナログCMOS回路を対象とするものではなかった。そして、アナログCMOS回路における貫通電流の  
5 検出は、CMOS論理ゲート回路における貫通電流の検出ほど容易ではないため、上述したような貫通電流検出方法を利用できるものではなく、その手法はいまだ確立されていない。

現在、静止状態のアナログCMOS回路に対する貫通電流の一般的な検出方法としては、直流解析シミュレーションを実施する手法がとられている。直流解析  
10 シミュレーションとは、容量成分を開放し、またインダクタ成分を短絡した静止状態での直流動作点を解析する手法である。具体的に述べると、1)まず対象となる回路に対して静止時の特性を与え、2)直流解析シミュレーションを行った後、3)対象回路内のMOSトランジスタの電流をモニタするものである。

ここで、第37(a)図に示す回路3701を例に挙げて説明する。

15 上記回路3701の構成は、オペアンプOpAmpであるOP1と、Nch MOSトランジスタであるMN1と、Pch MOSトランジスタであるMP1と、抵抗R1と、電源AVDDとからなっている。

より詳細に述べると、OP1の出力Aがネットaを介してMN1のゲート電極に接続され、MN1のソース電極がネットbを介してR1の一方の端子、及びOP1の負極側の入力Nに接続され、MN1のドレイン電極がネットcを介してMP1のドレイン電極、及びMP1のゲート電極に接続され、該MP1のソース電極が電源AVDDに接続されている。そしてR1のもう一方の端子は基準電位GNDに接続され、OP1の正極側の入力Pに参照電圧VREFが接続され、OP1の制御端子Eには、OP1の制御信号ENABLE1が接続されている。また、  
20 I1は、電源AVDDからMP1のソース端子、MP1のドレイン端子、ネットc、MN1のドレイン端子、MN1のソース端子、ネットb、R1を介して基準電位に流れる電流である。なお、ENABLE1が“H”の場合、OP1は通常のアンプ動作をし、また、ENABLE1が“L”の場合、OP1はパワーダウンして、該OP1の出力AがHi-Zになるとする。

以下、上述した構成の回路 3701 の動作を説明すると、ENABLE 1 が“H”で、VREF に適当な電圧が与えられている場合、OP 1 は通常のアンプ動作し、ネット b の電圧が VREF に、またネット a は、MN 1 の直流動作点として  $I_1 = VREF / R_1$  となる電流が流れるような電圧となる。つまり、本回路は電圧  
5 →電流変換を行うバイアス回路として動作する。一方、ENABLE 1 が“L”となった場合、OP 1 はパワーダウンし、OP 1 の出力 A が Hi-Z になる。このとき、MN 1 のゲート端子である a 点の電圧は不定となり、 $I_1$  に貫通電流が流れる可能性が大きい。

しかしながら、上記回路 3701 に対して一般的な貫通電流検出方法である直  
10 流解析シミュレーションを実施する際に、静止時の特性として ENABLE 1 を“L”として、直流解析シミュレーションを実施しても、多くの場合、OP 1 の出力 A が Hi-Z になると a 点は擬似的に基準電位に固定されてしまうため、 $I_1$  はほとんど電流が流れない状態となり、このような直流解析シミュレーションを実施しても、貫通電流が流れる可能性がある箇所を検出することは非常に困難  
15 である。

さらに別の例として、第 37 (b) 図に示す回路 3702 を、例に挙げて説明する。

上記回路 3702 の構成は、Tri State Buffer である TBUF 1 と、NchMOS トランジスタである MN 2 と、PchMOS トランジスタである MP 2 と、電源 VDD とからなり、MN 2 及び MP 2 により、インバータが形  
20 成されている。

より詳細に述べると、TBUF 1 の出力 OUT がネット d を介して MN 2 のゲート電極、及び MP 2 のゲート電極に接続され、MN 2 のソース電極が基準電位 GND に接続され、MN 2 のドレイン電極と MP 2 のドレイン電極とが接続され  
25 て出力信号 DOUT となり、MP 2 のソース電極が電源 VDD に接続され、TBUF 1 の入力端子 IN に入力信号 DIN が接続され、TBUF 1 の制御端子 E には、TBUF 1 の制御信号 ENABLE 2 が接続されている。また、 $I_2$  は電源 VDD から、MP 2 のソース端子、MP 2 のドレイン端子、ネット DOUT、MN 2 のドレイン端子、MN 2 のソース端子を介して基準電位に流れる電流、つま

り、MN2およびMP2が形成するインバータの貫通電流であるとする。なお、ENABLE2が“H”の場合、TBUF1は通常のバッファ動作を行うため、TBUF1の出力OUTはTBUF1の入力であるDINとなり、また、ENABLE2が“L”の場合、TBUF1の出力OUTがHi-Zになるとする。

- 5     以下、上述した構成の回路3702の動作を説明すると、ENABLE2が“H”で、DINに適当な信号が与えられている場合、TBUF1の出力OUTは、TBUF1の入力信号DINとなり、MN2及びMP2によって構成されているインバータの入力はDINとなり、この結果インバータの出力となるDOUTはDINの反転出力となる。一般的にインバータは遷移期間のみに電流が流れるため、  
10    静止状態ではI2にはほとんど電流が流れない。一方、ENABLE2が“L”となった場合、TBUF1の出力OUTがHi-Zになる。このとき、MN2及びMP2のゲート端子であるd点の電圧は不定となり、I2に貫通電流が流れる可能性が大きい。

- 15    しかしながら、上記回路3702に対して一般的な貫通電流検出方法である直流解析シミュレーションを実施する際に、ENABLE2を“L”として直流解析シミュレーションを実施しても、多くの場合、TBUF1の出力OUTがHi-Zになるとd点は擬似的に基準電位に固定されてしまうため、I2はほとんど電流が流れない状態となり、貫通電流が流れる可能性がある箇所を検出することは非常に困難である。

- 20    以上のように、従来の直流解析シミュレーションでは、対象回路内のある回路の出力端子からの出力がHi-Zであり、且つこの出力端子がMOSトランジスタのゲート電極に接続されていて、静止状態に貫通電流が流れる可能性がある場合でも、開放状態となっているトランジスタのゲート電極、論理ゲート回路の入力端子などの電位を擬似的に基準電位GNDに接続してシミュレーションしてしまうため、貫通電流を検出できない可能性が非常に高い。  
25

ここで、対象回路のネットリストから、開放状態となっている、MOSトランジスタのゲート端子や論理ゲート回路の入力端子の検索を行い、貫通電流が発生する疑いのあるMOSトランジスタを検出することを考える。その手法としては、  
1)まず、対象回路のネットリスト内、つまり回路内に含まれるトランジスタ



を検出し、2)該検出されたトランジスタのゲート端子のネット名を抽出し、3)該抽出されたネット名が上記検出されたトランジスタのゲート端子以外に接続されていない場合に、トランジスタのゲート電極が開放状態となっていて貫通電流が発生する疑いのあるトランジスタであると判断する。しかし上述したような手法

5 では、対象回路が、例えば、第38図に示すようなスイッチ回路と、インバータ回路からなる回路である場合には、該スイッチ回路の入出力端子がインバータ回路の入力に接続されることとなり、インバータ回路内のMOSトランジスタのゲート端子からみたときには、MOSトランジスタのゲート端子が開放状態となっているかどうか分からないため、インバータ回路内の貫通電流が発生する疑い

10 のあるトランジスタを確実に検出することは困難である。

本発明は、上記課題に鑑みてなされたものであり、従来の直流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出することのできる静止状態貫通電流検出方法とその装置、及び該貫通電流の検出対象回路内の貫通電流が発生する疑いのあるトランジスタを確実に検出できるように、該検出対象回路のネットリストを変換するネットリスト変換方法とその装置を提供することを目的とする。

## 発明の開示

本発明のネットリスト変換方法は、静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、  
上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路

であっても、CMOS論理回路であっても、静止状態で貫通電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源ー基準電圧間の電圧に固定することができる。

- 5      さらに、本発明のネットリスト変換方法は、上記ネット抽出ステップが、上記検出対象ネットリスト内のMOSトランジスタを検出するMOSトランジスタ検出ステップと、上記検出したMOSトランジスタのゲート端子に接続されているネットを検出し、該検出されたネットを上記抽出ネットデータベースに保持するネット検出ステップと、上記検出対象ネットリスト内の抵抗素子を検出し、該検出された抵抗素子の抵抗素子名を抵抗素子名データベースに保持する抵抗素子検出ステップと、を含むものである。

これにより、貫通電流検出対象回路内の、静止状態で貫通電流が流れる可能性のあるネットを確実に検出することが可能となる。

- 15      さらに、本発明のネットリスト変換方法は、上記MOSトランジスタ検出ステップが、上記検出対象ネットリスト内に含まれる各行の先頭文字が“M”であるか否かを検出し、該行の先頭文字が“M”であれば、該行はMOSトランジスタに関し記載するものであると判定するものである。

これにより、貫通電流検出対象回路内の、MOSトランジスタを確実に検出することができる。

- 20      さらに、本発明のネットリスト変換方法は、上記ネット検出ステップが、上記MOSトランジスタ検出ステップにより上記MOSトランジスタに関する記載であると判定された行から、該MOSトランジスタのゲート端子に接続されているネットを検出し、上記行の第6文字列のMOSトランジスタのモデル名より、上記MOSトランジスタの閾値を判定し、上記MOSトランジスタの閾値毎に設けた抽出ネットデータベースの、対応する閾値のデータベースに、上記MOSトランジスタのゲート端子に接続されているネットを保持するものである。

これにより、貫通電流検出対象回路内の、MOSトランジスタのゲート端子に接続されているネットを確実に検出することができる。

さらに、本発明のネットリスト変換方法は、上記抵抗素子検出ステップが、上

記検出対象ネットリスト内に含まれる各行の先頭文字が“R”であるか否かを検出し、該行の先頭文字が“R”であれば、該行は抵抗素子に関し記載するものであると判定し、上記抵抗素子に関し記載するものであると判定された行の第1文字列を、上記抵抗素子の抵抗素子名として抽出し、該抽出した上記抵抗素子の抵抗素子名を、上記抵抗素子名データベースに保持するものである。

これにより、貫通電流検出対象回路内に含まれる抵抗素子を確実に検出することができる。

さらに、本発明のネットリスト変換方法は、上記抵抗挿入ステップは、上記抵抗素子名データベースを検索して、唯一の抵抗素子名であるものとなる新たな抵抗素子名を作成し、上記作成された新たな抵抗素子名の抵抗素子を、上記閾値の異なるMOSトランジスタ毎に設けた各抽出ネットデータベースに保持されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該保持されているネットと基準電位との間を結ぶように、ネットリストに追加し、該追加した上記抵抗素子の上記抵抗素子名を、上記抵抗素子名データベースに追加するものである。

これにより、貫通電流検出対象回路内の、貫通電流が流れる可能性のある箇所抵抗素子を挿入することができる。

さらに、本発明のネットリスト変換方法は、上記ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除ステップを含み、上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複しているネットが削除された上記抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記MOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

これにより、貫通電流検出対象回路内に挿入する抵抗素子の数を必要最低限の数とすることができる。

さらに、本発明のネットリスト変換方法は、上記重複ネット削除ステップが、

上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを読み込み、該読み込んだ抽出ネットデータベース内に格納されているネットを辞書順に並び替え、該並び替えた抽出ネットデータベース内を先頭より検索し、検索対象のネットと等しいネットを削除するものである。

- 5      これにより、貫通電流検出対象回路において、ネットリストに抵抗素子を挿入する箇所の重複を防ぐことができる。

- さらに、本発明のネットリスト変換方法は、上記閾値の異なるMOSトランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネット数をカウントするネット数カウントステップを含むものである。
- 10

これにより、貫通電流検出対象回路のネットリストから抽出されたネットの数をカウントすることができ、該ネットリスト変換処理によって抵抗素子が挿入されるネットの数を得ることができる。

- また、本発明のネットリスト変換方法は、静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含むものである。
- 15

- これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態で貫通電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源－基準電圧間の電圧に固定することができる。さらに、上記ネットリスト変換方法で変換された変換後のネットリストは、変換前のネットリストが維持されたまま、該ネットリスト内に抵抗素子が追加されていくので、ネットリスト変換後のネットリストから、上記検出対象回路の構成がわかりやすいという効果もある。
- 20
- 25

さらに、本発明のネットリスト変換方法は、上記サブサーキット置換えステップにより、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置

き換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウントステップを含むものである。

これにより、貫通電流検出対象回路のネットリスト内の、置き換えられたMOSトランジスタをカウントすることができ、ネットリスト変換処理によって抵抗素子が挿入されたネットの数を得ることができる。

さらに、本発明のネットリスト変換方法は、上記サブサーキット置換えステップが、上記検出対象ネットリスト内のMOSトランジスタを検出し、該検出したMOSトランジスタに関して記載されている行の第6文字列のMOSトランジスタのモデル名より、該MOSトランジスタの閾値及び種類を判定し、上記検出したMOSトランジスタの記載を、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置換え、該置き換えたサブサーキットの行の第1文字列の先頭に“X”を追加すると共に、該行に、上記サブサーキットに置き換える前の上記MOSトランジスタの記載の第2、第3、第4、第5文字列の、“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなる接続情報、及び“W:チャンネル幅”、“L:チャンネル長”、“M:マルチプライヤ”からなるパラメータ情報を記載するものである。

これにより、貫通電流検出対象回路内の、貫通電流が発生する可能性のあるMOSトランジスタを、サブサーキットに置き換えることが可能となる。

さらに、本発明のネットリスト変換方法は、上記サブサーキット追加ステップが、上記検出対象ネットリストに上記サブサーキット情報を追加するものであり、該サブサーキット情報は、上記サブサーキットに置き換えたMOSトランジスタの閾値及び種類に応じたMOSトランジスタと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源との間、及び該MOSトランジスタのゲート端子と基準電圧との間に挿入される抵抗素子と、を含むものである。

これにより、貫通電流検出対象回路内の、貫通電流が発生する可能性のある箇所抵抗素子を挿入することができる。

また、本発明のネットリスト変換方法は、静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出

し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出  
ネットデータベースに保持する第1ネット抽出ステップと、上記検出対象ネット  
リストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽  
出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデ  
5   ータベースに保持する第2ネット抽出ステップと、上記閾値の異なるMOSトラ  
ンジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリス  
ト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出さ  
れたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の  
抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むも  
10   のである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であ  
っても、CMOS論理回路であっても、静止状態で貫通電流が流れる可能性の  
ある箇所を確実に検出することが可能となる。また、該貫通電流が流れる可能性  
のあるMOSトランジスタのゲート端子を、電源－基準電圧間の電圧に固定する  
15   ことができる。さらに、ネットリストに、サブサーキットが含まれていても、該  
サブサーキット内の貫通電流が検出される可能性のある箇所を確実に検出するこ  
とが可能となる。

さらに、本発明のネットリスト変換方法は、上記第2ネット抽出ステップが、  
上記検出対象ネットリスト内に含まれる各行の先頭文字が“X”であるか否かを  
20   検出し、該行の先頭文字が“X”であれば、該行はサブサーキットに関し記載す  
るものであると判定するものである。

これにより、貫通電流検出対象回路内の、サブサーキットを確実に検出するこ  
とができる。

さらに、本発明のネットリスト変換方法は、上記第1ネット抽出ステップ、及  
25   び第2ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジスタ  
毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネッ  
トデータベース内で重複しているネットを削除する重複ネット削除ステップを含  
み、上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複している  
ネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト

内の、上記第1 ネット抽出ステップ及び第2 ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

5 これにより、貫通電流検出対象回路のネットリストにおいて、抵抗素子を挿入する箇所の重複を防ぐことができ、上記貫通電流検出対象回路に挿入する抵抗素子をさらに削減することができる。

さらに、本発明のネットリスト変換方法は、上記閾値の異なるMOSトランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該各抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントする  
10 ネット数カウントステップを含むものである。

これにより、貫通電流検出対象回路のネットリストから抽出されたネットの数をカウントして、抵抗素子が挿入されるネットの数を得ることができる。

さらに、本発明のネットリスト変換方法は、上記第2 ネット抽出ステップにより抽出されたサブサーキットと、特定のサブサーキットが登録されているサブサーキットデータベースとを比較する比較ステップを含み、上記抵抗挿入ステップ  
15 は、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1 ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入すると共に、上記検出対象ネットリスト内の、上記第2 ネット抽出ステップにより抽出されたサブサーキットのうち、上記比較ステップにおいて上記サブサーキットデータベースに登録されていると判定されたサブサーキットに含まれるネット以外のネットと電源との間、及び該ネットと基準電圧との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

25 これにより、貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源ー基準電圧間の電圧に固定することができる。さらに、予め貫通電流が発生しないことがわかっている信頼性の高いサブサーキット内には、抵抗を挿入する必要がなくなり、上記検出対象回路内に挿入する抵抗素子の数を大幅に削減することができる。

また、本発明のネットリスト変換装置は、静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定部と、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出部と、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入部と、を備えるものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態で貫通電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源－基準電圧間の電圧に固定することができる。

さらに、本発明のネットリスト変換装置は、上記ネット抽出部により抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除部を備え、上記抵抗挿入部は、上記重複ネット削除部により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記MOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

これにより、貫通電流検出対象回路内に挿入する抵抗素子の数を必要最低限の数とすることができる。

さらに、本発明のネットリスト変換装置は、上記閾値の異なるMOSトランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントする



ネット数カウント部を備えるものである。

これにより、貫通電流検出対象回路のネットリストから抽出されるネットの数をカウントすることができ、ネットリスト変換処理によって抵抗素子が挿入されるネットの数を得ることができる。

- 5      また、本発明のネットリスト変換装置は、静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定部と、上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換え部と、上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加部と、を備えるものである。

- 10      これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態で貫通電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源－基準電圧間の電圧に固定する
- 15      ことができる。さらに、上記ネットリスト変換装置で変換された変換後のネットリストは、変換前のネットリストを維持したまま、該ネットリスト内に抵抗素子が追加されていくので、変換後のネットリストから、該検出対象回路の構成がわかりやすいという効果もある。

- 20      さらに、本発明のネットリスト変換装置は、上記サブサーキット置換え部により、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウント部を備えるものである。

- 25      これにより、貫通電流検出対象回路のネットリスト内の、置き換えられたMOSトランジスタをカウントすることができ、該ネットリスト変換処理によって抵抗素子が挿入されるネットの数を得ることができる。

また、本発明のネットリスト変換装置は、静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定部と、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネット

データベースに保持する第1 ネット抽出部と、上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOS トランジスタ毎に設けた抽出ネットデータベースに保持する第2 ネット抽出部と、上記閾値の異なるMOS トランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1 ネット抽出部及び第2 ネット抽出部において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入部と、を備えるものである。

10 これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS 回路であっても、CMOS 論理回路であっても、静止状態で貫通電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該貫通電流が流れる可能性のあるMOS トランジスタのゲート端子を、電源ー基準電圧間の電圧に固定することができる。さらに、ネットリストに、サブサーキットが含まれていても、該サブサーキット内の貫通電流が検出される可能性のある箇所を確実に検出すること

15 ことが可能となる。

さらに、本発明のネットリスト変換装置は、上記第1 ネット抽出部、及び第2 ネット抽出部により抽出され、上記閾値の異なるMOS トランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除部を備え、上記抵抗挿入部

20 は、上記重複ネット削除部により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1 ネット抽出部及び第2 ネット抽出部において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

25 これにより、貫通電流検出対象回路のネットリストにおいて、抵抗素子を挿入する箇所の重複を防ぐことができ、上記貫通電流検出対象回路に挿入する抵抗素子をさらに削減することができる。

さらに、本発明のネットリスト変換装置は、上記閾値の異なるMOS トランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該抽出ネットデータベ

ース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントする  
ネット数カウント部を備えるものである。

- これにより、貫通電流検出対象回路のネットリストから抽出されたネットの数を  
カウントすることができ、該ネットリスト変換処理によって抵抗素子が挿入さ  
5 れるネットの数を得ることができる。

- また、本発明の静止状態貫通電流検出方法は、静止状態時の貫通電流の検出対  
象となるネットリストを、請求の範囲第1項、請求の範囲第10項、または請求  
の範囲第14項のいずれかに記載のネットリスト変換方法で、ネットリスト変換  
するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られ  
10 る変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ス  
テップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出  
対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを  
検索するトランジスタ検索ステップと、を含むものである。

- これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路で  
15 あっても、CMOS論理回路であっても、静止状態貫通電流検出する際に、通常  
の直流解析では検出が困難であった貫通電流が発生する可能性のある箇所を容易  
に検出することができる。

- さらに、本発明の静止状態貫通電流検出方法は、上記トランジスタ検索ステッ  
プは、上記直流解析結果を元に、該検出対象ネットリスト内のMOSトランジス  
20 タに流れる電流 $|I_{ds}|$ が、予め設定した電流閾値 $I_{th}$ を超えるか否かを判  
定し、上記電流 $|I_{ds}|$ が上記電流閾値 $I_{th}$ を超えるMOSトランジスタを  
電流貫通MOSトランジスタとして、電流貫通MOSトランジスタデータベース  
に保持するものである。

- これにより、静止状態時の貫通電流検出対象回路内の、貫通電流が発生するM  
25 OSトランジスタを検出することが可能となる。

また、本発明の静止状態貫通電流検出方法は、静止状態時の貫通電流の検出対  
象となるネットリストを、請求の範囲第9項、請求の範囲第11項、または請求  
の範囲第17項のいずれかに記載のネットリスト変換方法で、ネットリスト変換  
するネットリスト変換ステップと、上記ネットリスト変換ステップにより得

られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、上記検出対象ネットリストの全貫通電流を算出する全貫通電流算出ステップと、を含むものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態貫通電流検出する際に、通常の直流解析では検出が困難であった貫通電流が発生する可能性のある箇所を容易に検出することができ、且つ該貫通電流検出対象回路に発生する貫通電流を算出することが可能となる。

さらに、本発明の静止状態貫通電流検出方法は、上記全貫通電流算出ステップは、上記直流解析結果、及び抽出ネットデータベース内に含まれるネットの数、もしくはサブサーキットに置き換えられたMOSトランジスタの数を元に、上記MOSトランジスタの閾値毎に決められた電源、及び基準電位間に流れる電流から、(抽出ネット数 \* ((電源電圧 - 基準電位) / (挿入抵抗値 \* 2))), もしくは、(置き換えトランジスタ数 \* ((電源電圧 - 基準電位) / (挿入抵抗値 \* 2))) を減算するものである。

これにより、静止状態時の貫通電流検出対象回路に発生する貫通電流を、抽出ネットデータベース内に含まれるネットの数、あるいはサブサーキットに置き換えられたMOSトランジスタの数を元に算出することが可能となる。

また、本発明の静止状態貫通電流検出方法は、静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第1項、請求の範囲第10項、または請求の範囲第14項のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタの貫通電流  $|I_{ds}|$  に関するヒストグラムを作成するヒストグラム作成ステップと、を含むものである。

これにより、静止状態時の貫通電流検出対象回路内の、貫通電流が発生する可能性のある箇所を視覚的に検出することができる。

また、本発明の静止状態貫通電流検出装置は、静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第19項、請求の範囲第22項、または請求の範囲第24項のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換部と、上記ネットリスト変換部で得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析部と、上記直流解析部で得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索部と、を備えるものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態貫通電流検出する際に、通常の直流解析では検出が困難であった貫通電流が発生する可能性のある箇所を容易に検出することができる。

また、本発明の静止状態貫通電流検出装置は、静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第21項、請求の範囲第23項、または請求の範囲第26項のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換部と、上記ネットリスト変換部で得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析部と、上記直流解析部で得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索部と、上記検出対象ネットリストの全貫通電流を算出する全貫通電流算出部と、を備えるものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態貫通電流検出する際に、通常の直流解析では検出が困難であった貫通電流が発生する可能性のある箇所を容易に検出することができ、さらに、該貫通電流検出対象回路に発生する貫通電流を算出することが可能となる。

また、本発明の静止状態貫通電流検出装置は、静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第19項、請求の範囲第22項、または請求の範囲第24項のいずれかに記載のネットリスト変換装置によりネットリ

スト変換するネットリスト変換部と、上記ネットリスト変換部で得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタの貫通電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成部と、を備えるものである。

- 5      これにより、静止状態時の貫通電流検出対象回路内の、貫通電流が発生する可能性のある箇所を視覚的に検出することができる。

- また、本発明のプログラムは、コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、上記ネットリスト変換プログラムは、上記検出対象ネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むものである。
- 10
- 15

- これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、コンピュータにより、静止状態で貫通電流が流れる可能性のある箇所を確実に検出して、該貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源－基準電圧間の電圧に固定することができる。
- 20

- また、本発明のプログラムは、コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、上記ネットリスト変換プログラムは、上記検出対象ネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、上記検出
- 25

対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含むものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、コンピュータにより、静止状態で貫通電流が流れる可能性のある箇所を確実に検出して、該貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源ー基準電圧間の電圧に固定することができる。さらに、上記プログラムにより変換された変換後のネットリストは、変換前のネットリストが維持されたまま、該ネットリスト内に抵抗素子が追加されていくので、変換後のネットリストから、上記検出対象回路の回路構成がわかりやすいという効果もある。

また、本発明のプログラムは、コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、上記ネットリスト変換プログラムは、上記検出対象ネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出ステップと、上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出ステップと、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、コンピュータにより、静止状態で貫通電流が流れる可能性のある箇所を確実に検出して、該貫通電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源ー基準電圧間の電圧に固定

することができる。さらに、上記対象回路のネットリストに、サブサーキットが含まれていても、コンピュータにより、該サブサーキット内の貫通電流が検出される可能性のある箇所を確実に検出することが可能となる。

また、本発明のプログラムは、コンピュータに、静止状態時の貫通電流の検出  
5 対象となるネットリストに対して静止状態貫通電流検出処理を実行させるための静止状態貫通電流検出プログラムであって、上記静止状態貫通電流検出プログラムは、上記検出対象ネットリストを、請求の範囲第1項、請求の範囲第10項、または請求の範囲第14項のいずれかに記載のネットリスト変換方法で、ネット  
10 リスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、を含むものである。

これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路で  
15 あっても、CMOS論理回路であっても、静止状態貫通電流検出する際に、通常の直流解析では検出が困難であった貫通電流が発生する可能性のある箇所を、コンピュータにより容易に検出することができる。

また、本発明のプログラムは、コンピュータに、静止状態時の貫通電流の検出  
20 対象となるネットリストに対して静止状態貫通電流検出処理を実行させるための静止状態貫通電流検出プログラムであって、上記静止状態貫通電流検出プログラムは、上記検出対象ネットリストを、請求の範囲第9項、請求の範囲第11項、または請求の範囲第17項のいずれかに記載のネットリスト変換方法で、ネット  
25 リスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、上記検出対象ネットリストの全貫通電流を算出する全貫通電流算出ステップと、を含むものである。



これにより、静止状態時の貫通電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態貫通電流検出する際に、通常の直流解析では検出が困難であった貫通電流が発生する可能性のある箇所を、コンピュータにより容易に検出すると共に、該貫通電流検出対象回路に発生する貫通電流を、コンピュータにより算出することが可能となる。

また、本発明のプログラムは、コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対して静止状態貫通電流検出処理を実行させるための静止状態貫通電流検出プログラムであって、上記静止状態貫通電流検出プログラムは、上記検出対象ネットリストを、請求の範囲第1項、請求の範囲第10項、  
10 または請求の範囲第14項のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタの貫通電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成ステップと、を含むものである。  
15

これにより、コンピュータで、静止状態時の貫通電流検出対象回路内に発生する貫通電流に関するヒストグラムを作成することができ、該貫通電流検出対象回路内の、貫通電流が発生する可能性のある箇所を視覚的に検出することができる。

## 20 図面の簡単な説明

第1図は、本発明の実施の形態1におけるネットリスト変換装置の構成を示す図である。

第2図は、本発明の実施の形態1のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

25 第3図は、本発明の実施の形態1のネットリスト変換装置によるネットリスト変換処理の、ネット抽出処理の詳細な流れを示す図である。

第4図は、本発明の実施の形態1のネットリスト変換装置によるネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。

第5(a)図は、本発明の実施の形態1のネットリスト変換装置によりネットリスト変換処理される対象回路のネットリストを示す図である。

第5(b)図は、本発明の実施の形態1にかかるネットリスト変換装置のネット抽出部により抽出される抽出ネットデータベースと抵抗素子名データベースとを示す図である。

第5(c)図は、本発明の実施の形態1にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースとを示す図である。

第6図は、本発明の実施の形態1にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストの回路図である。

第7図は、本発明の実施の形態2にかかるネットリスト変換装置の構成を示す図である。

第8図は、本発明の実施の形態2のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

第9図は、本発明の実施の形態2のネットリスト変換装置によるネットリスト変換処理の、重複ネット削除処理の詳細な流れを示す図である。

第10(a)図は、本発明の実施の形態2にかかるネットリスト変換装置のネット抽出部により抽出される抽出ネットデータベースと抵抗素子名データベースとを示す図である。

第10(b)図は、本発明の実施の形態2にかかるネットリスト変換装置の重複ネット削除部により処理された後の抽出ネットデータベースを示す図である。

第10(c)図は、本発明の実施の形態2にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースとを示す図である。

第11図は、本発明の実施の形態2にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストの回路図である。

第12図は、本発明の実施の形態3にかかるネットリスト変換装置の構成を示す図である。

第13図は、本発明の実施の形態3のネットリスト変換装置によるネットリス

ト変換処理の一連の流れを示す図である。

第 1 4 図は、本発明の実施の形態 3 のネットリスト変換装置によるネットリスト変換処理の、抽出ネット数カウント処理の詳細な流れを示す図である。

5 第 1 5 図は、本発明の実施の形態 3 におけるネットリスト変換装置の抽出ネット数カウント部で抽出される、抽出ネット数保持部を示す図である。

第 1 6 図は、本発明の実施の形態 4 におけるネットリスト変換装置の構成を示す図である。

第 1 7 図は、本発明の実施の形態 4 のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

10 第 1 8 図は、本発明の実施の形態 4 のネットリスト変換装置によるネットリスト変換処理の、トランジスタ置換え処理の詳細な流れを示す図である。

第 1 9 図は、本発明の実施の形態 4 のネットリスト変換装置によるネットリスト変換処理の、サブサーキット追加処理の詳細な流れを示す図である。

15 第 2 0 図は、本発明の実施の形態 4 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後の置換えトランジスタ数保持部とを示す図である。

第 2 1 図は、本発明の実施の形態 4 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストの回路図である。

20 第 2 2 図は、本発明の実施の形態 5 にかかるネットリスト変換装置の構成を示す図である。

第 2 3 図は、本発明の実施の形態 5 のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

第 2 4 図は、本発明の実施の形態 5 のネットリスト変換装置によるネットリスト変換処理の、第 2 ネット抽出処理の詳細な流れを示す図である。

25 第 2 5 図は、本発明の実施の形態 5 のネットリスト変換装置によるネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。

第 2 6 (a) 図は、本発明の実施の形態 5 のネットリスト変換装置によりネットリスト変換処理される対象回路のネットリストを示す図である。

第 2 6 (b) 図は、本発明の実施の形態 5 にかかるネットリスト変換装置の第

1 ネット抽出部により抽出される抽出ネットデータベースと抵抗素子名データベースとを示す図である。

第26(c)図は、本発明の実施の形態5にかかるネットリスト変換装置のサブサーキットデータベース、及び第2ネット抽出部により抽出される抽出ネットデータベースを示す図である。

第26(d)図は、本発明の実施の形態5にかかるネットリスト変換装置の重複ネット削除部により処理された後の抽出ネットデータベースを示す図である。

第26(e)図は、本発明の実施の形態5にかかるネットリスト変換装置の抽出ネット数保持部を示す図である。

10 第26(f)図は、本発明の実施の形態5にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースとを示す図である。

第27図は、本発明の実施の形態6にかかる静止状態貫通電流検出装置の構成を示す図である。

15 第28図は、本発明の実施の形態6の静止状態貫通電流検出装置による静止状態貫通電流検出処理の一連の流れを示す図である。

第29図は、本発明の実施の形態6の静止状態貫通電流検出装置による静止状態貫通電流検出処理の、トランジスタ検索処理の詳細な流れを示す図である。

20 第30図は、本発明の実施の形態7にかかる静止状態貫通電流検出装置の構成を示す図である。

第31図は、本発明の実施の形態7の静止状態貫通電流検出装置による静止状態貫通電流検出処理の一連の流れを示す図である。

第32図は、本発明の実施の形態7の静止状態貫通電流検出装置による静止状態貫通電流検出処理の、全貫通電流算出処理の詳細な流れを示す図である。

25 第33図は、本発明の実施の形態8にかかる静止状態貫通電流検出装置の構成を示す図である。

第34図は、本発明の実施の形態8の静止状態貫通電流検出装置による静止状態貫通電流検出処理の一連の流れを示す図である。

第35図は、本発明の実施の形態8の静止状態貫通電流検出装置による静止

状態貫通電流検出処理の、 $|IDS|$ ヒストグラム作成処理の詳細な流れを示す図である。

第36(a)図は、本発明の実施の形態8における静止状態貫通電流検出装置の、 $|IDS|$ ヒストグラム作成部によって得られるトランジスタ $|IDS|$ データベースを示す図である。

第36(b)図は、本発明の実施の形態8における静止状態貫通電流検出装置の、 $|IDS|$ ヒストグラム作成部によって得られるトランジスタ $|IDS|$ データベースにより得られるヒストグラムを示す図である。

第37(a)図は、本発明を説明するための回路例である。

第37(b)図は、本発明を説明するための回路例である。

第38図は、従来の課題を説明するための回路例である。

#### 発明を実施するための最良の形態

本発明においては、対象回路のネットリストを変換し、該変換後のネットリストに対して直流解析シミュレーションを実施することにより、該対象回路の静止状態貫通電流を検出する。従って、以下に示す実施の形態では、まずネットリスト変換装置について図面を参照しながら説明した後、該各ネットリスト変換装置を用いた静止状態貫通電流検出装置について説明する。なお、以下の説明に記載されているネットリストはSPICE形式のネットリストであるとして説明を行う。

##### (実施の形態1)

以下、第1図～第6図を用いて、本発明の実施の形態1におけるネットリスト変換装置について説明する。

まず、第1図を用いて、本実施の形態1に係るネットリスト変換装置10の構成について説明する。第1図は、本実施の形態1におけるネットリスト変換装置の構成を示す図である。

第1図において、ネットリスト変換装置10は、ネットリスト指定部11と、ネット抽出部12と、抵抗挿入部13と、メモリ17とからなるものである。

より詳細に述べると、上記ネットリスト指定部11は、ネットリストデータベ

ース14に予め保持されているネットリストから、静止状態時の貫通電流検出対象となる変換対象回路のネットリスト(以下、「対象ネットリスト」と称す)を指定するものであり、上記ネット抽出部12は、上記ネットリスト指定部11により指定された対象ネットリストをネットリストデータベース14より読出し、該読  
5 出した対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットと、該ネットリスト内にある抵抗の抵抗素子名とを抽出するものである。そして、上記抵抗挿入部13は、上記ネット抽出部12により上記対象ネットリスト内から抽出されたMOSトランジスタのゲート端子に接続されているネットと、該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネット抽出部12により抽出されたMOSトランジスタのゲート端子に接続されているネットと、基準電位との間に、抵抗素子を挿入するものである。そして、上記メモリ17は、上記ネットリストデータベース14と、上記ネット抽出部12により抽出されたMOSトランジスタのゲート端子に接続されているネットを該抽出されたMOSトランジスタの閾値毎に保持する抽出ネットデータベース15と、上記  
10 記ネット抽出部12により抽出された抵抗素子名を保持する抵抗素子名データベース16とを含むものである。

次に、第2図～第6図を用いて、上述した構成を有する本実施の形態1のネットリスト変換装置10の動作について説明する。なおここでは、上述した第37(a)、(b)図の両回路の静止状態貫通電流を検出するために、これらの回路の  
20 ネットリストを変換する場合を例に挙げて説明する。

第2図は、本実施の形態1にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、第3図は、第2図に示すネットリスト変換処理内の、ネット抽出処理の詳細な流れを示す図であり、第4図は、第2図に示すネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。そして、第5(a)図は、本実施の形態1にかかるネットリスト変換装置によって、  
25 ネットリスト変換される対象回路(ここでは、第37(a)、(b)図に示す回路)のネットリストを示す図であり、第5(b)図は、本実施の形態1にかかるネットリスト変換装置の抽出ネット部で抽出される、抽出ネットデータベースと抵抗素子名データベースを示す図であり、第5(c)図は、本実施の形態1にかかる

ネットリスト変換装置において、第5(a)図に示すネットリストをネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースを示す図であり、第6図は、第5(c)図に示す変換後ネットリストの回路図である。

- 5      まず、ユーザが、ネットリスト指定部11により、静止状態時の貫通電流を検出する対象となる対象ネットリストを指定すると(第2図のステップS110)、次に、ネット抽出部12において、第5(a)図に示す対象ネットリスト内の、MOSトランジスタのゲート端子に接続されたネットを抽出するネット抽出処理が行われる(第2図のステップS120)。

- 10      以下、第3図を用いて、上記ネット抽出処理について詳細に述べる。

- まず、ネットリスト指定部11で指定された、第5(a)図の対象ネットリストを、先頭行より1行ずつ順次読み込みを行う(第3図のステップS121)。なお、ネットリスト内において、1素子の記述が複数行にわたって記述される場合があるが、この場合、次行の先頭文字が“+”で始まっているか否かを判定し、
- 15      次行の先頭文字が“+”で始まっている場合、読み込んだ行と次行を順次結合することで同機能を得ることができる。

- 次に、上記ステップS121において読み込んだ行が、MOSトランジスタに関する記述か否かを判定する(第3図のステップS122)。ここでは、読み込んだ行の先頭文字が“M”で始まっているか否かを判定することで、読み込んだ行
- 20      がMOSトランジスタであるか否かを判定する。すなわち、読み込んだ行の先頭文字が“M”で始まっていれば、MOSトランジスタに関する記述であると判定して、次のステップS123を実施し、そうでないと判定された場合、ステップS124を実施する。

- そして上記ステップS122において、読み込んだ行がMOSトランジスタであると判定された場合、該読み込んだ行の第6文字列、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。ここで、MOSトランジスタの閾値を判定する理由は、近年のMOSトランジスタが、1つのプロセス上に数種類もの耐圧を持つ、つまり1つのプロセス上に数種類の閾値を持つMOSトランジスタを形成しているため、該ネットリスト内のMOSトランジスタ
- 25

毎に、該MOSトランジスタの閾値に応じた電源電圧を供給する必要があるからである。

そして、このようにして、読み込んだ行のMOSトランジスタの閾値を判定した後、今度はその同じ行の第3文字列、つまりMOSトランジスタのゲート電極  
5 に接続されているネットを検出し、この検出したネットを、抽出ネットデータベース15の、上記MOSトランジスタの閾値毎に設けられている抽出ネットデータベース151～152（第5（b）図参照）のうち、対応する抽出ネットデータベースに追加する（第3図のステップS123）。

そしてこの後、上記読み込んだ行が、抵抗素子に関する記述か否かを判定する  
10 （第3図のステップS124）。ここでは、読み込んだ行の先頭文字が“R”で始まっているか否かを判定することで、読み込んだ行が抵抗素子であるか否かを判定する。すなわち、読み込んだ行の先頭文字が“R”で始まっていれば、抵抗素子に関する記述であると判定して、次のステップS125を実施し、そうでないと判定された場合、ステップS126を実施する。

15 上記ステップS124において、読み込んだ行が抵抗素子であると判定された場合、該抵抗素子名を抵抗素子名データベース16に追加する（第3図のステップS125）。

この後、上記読み込んだ行が最終行か否かを判定し（第3図のステップS126）、最終行であれば処理を終了し、そうでなければ上記ステップS121に戻って、上述した処理を繰り返す。  
20

このような処理を行うことにより、第5（a）図に示す対象ネットリストから、第5（b）図に示すような抽出ネットデータベース15、及び抵抗素子名データベース16が得られる。なお、ここでは、対象ネットリスト内のMOSトランジスタには、閾値がAVDDとVDDの2種類あるため、抽出ネットデータベース  
25 15には、閾値AVDDの抽出ネットデータベース151と、閾値VDDの抽出ネットデータベース152とが存在する。

上述したように、上記ネット抽出処理のステップS126において、読み込んだ行が最終行であると判定された場合、上記ネット抽出処理において抽出したネットと電源間、及び該抽出したネットと基準電位間とを結ぶ抵抗素子を、上記ネ



ットリストに挿入する抵抗挿入処理に移行する（第2図のステップS130）。

以下、第4図を用いて、上記抵抗挿入処理について詳細に述べる。

上記ネット抽出部12により、MOSトランジスタの閾値毎に抽出された抽出  
5 ネットデータベース15に保存されている全てのネットと、MOSトランジスタ  
の閾値毎に決められた電源間、及び上記抽出ネットデータベース15に保存され  
ている全てのネットと、基準電位間に、抵抗を挿入する（第4図のステップS1  
31）。このとき、上記対象ネットリストに挿入する抵抗の素子名は、抵抗素子名  
データベース16内を検索し、唯一の抵抗素子名となるようにする。例えば、抵  
10 抗素子名データベース16内の抵抗素子を辞書順に並べたとき最も大きい（辞書  
の最終ページに近い）抵抗素子名の末尾に数字の“000”を追加し、上記ステ  
ップS131において抵抗素子を追加する度に、上記抵抗素子名に対して該抵抗  
素子名の末尾に追加した数字を“1”づつインクリメントすることで、唯一の抵  
抗素子名を得るようにする。そして、上記ステップS131において挿入した抵  
抗素子の抵抗素子名を抵抗素子名データベース16に追加する。これを繰り返す  
15 ことにより、ネットリストを変換する。なお、ネットリストに挿入する抵抗は他  
の回路の動作に支障をきたさない程度の高抵抗（数GΩ～数百TΩ程度）  
を挿入する。

このような処理を行うことにより、第5（a）図の対象ネットリストから、第  
5（c）図に示す変換後のネットリスト18と、ネットリストに追加された抵抗  
20 が追加された抵抗素子名データベース16' が得られる。

次に、第5図に示すネットリストの例を用いて、本実施の形態1にかかるネッ  
トリスト変換装置10の動作について更に詳しく説明する。

まず、ユーザは、ネットリスト指定部11により、第5（a）図に示す対象ネ  
ットリストを指定する。次に、ネット抽出部12において、上記対象ネットリス  
25 トから、変換対象であるネットを抽出する。この際、上記ネット抽出部12は、  
第5（a）図に示す対象ネットリストの先頭行より1行ずつ順次読み込みを行う。  
そして、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（第5  
（a）図の下線部）、読み込んだ行がMOSトランジスタに関する記述か否かを判  
定する。第5（a）図においては、1、2、6、7、11、12、17、18行

目がMOSトランジスタに関する記述であると判定される。

そして、読み込んだ行の第6文字列(第5(a)図の太字下線部)、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。第5(a)図においては、pchhvt、nchhvtであれば、閾値の高い(HVT) MOSトランジスタ、pchlv t、nchlv tであれば、閾値の低い(LVT) MOSトランジスタであると判定する。

同時に、その読み込んだ行の第3文字列(第5(a)図の1、2、6、7、11、12、17、18行目太字下線斜字体部)、つまりMOSトランジスタのゲート電極に接続されているネットを検出し、そのネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース15に追加する。第5(a)図の対象ネットリストのHVTMOSトランジスタの抽出ネットデータベースは、第5(b)図中の抽出ネットデータベース: AVDD151がそれに相当するものであり、また、第5(a)図の対象ネットリストのLVTMOSトランジスタの抽出ネットデータベースは、第5(b)図中の抽出ネットデータベース: VDD152がそれに相当する。なお、第5(b)図中に記載されているセミコロンの後の文字列は、ネットリスト内の階層構造を示している。

次に、上記ネット抽出部12によって読み込んだ行の先頭文字が“R”で始まっているか否かを判定し(第5(a)図の3行目下線部)、読み込んだ行が抵抗素子に関する記述か否かを判定する。第5(a)図のネットリストにおいては、3行目が抵抗素子に関する記述であると判定される。

そして、読み込んだ行の第1文字列(第5(a)図の3行目太字下線斜字体部)、つまり抵抗素子の抵抗素子名を抵抗素子名データベース16に追加する。第5(a)図においては、第5(b)図中の抵抗素子名データベース16がそれに相当する。

第5(a)図の対象ネットリストを最終行まで読み込んだら、抵抗挿入部13により、上記ネット抽出部12で抽出したネットと電源間、及びネット抽出部12で抽出したネットと基準電位間を結ぶ抵抗素子を、該対象ネットリストに挿入する。第5(b)図に示されている、抽出ネットデータベース: AVDD151の例では、データベースに登録されているネットと電源AVDD間、及びデータ

ベースに登録されているネットと基準電位間、また、抽出ネットデータベース：  
VDD 1 5 2 の例では、データベースに登録されているネットと電源VDD間、  
及びデータベースに登録されているネットと基準電位間に、それぞれ抵抗素子を  
挿入することになる。すなわち、第5 (c) 図に示される変換後ネットリスト1  
5 8 の1 4 ~ 1 7、2 4 ~ 2 7、3 0 ~ 3 7 行目が、該対象ネットリストに挿入さ  
れた抵抗素子に相当する。このとき、挿入する抵抗の素子名は、抵抗素子名デー  
タベース1 6 内を検索し、唯一の抵抗素子名とする。また、前述のようにして対  
象ネットリストに挿入した抵抗素子の抵抗素子名は、順次、抵抗素子名データベ  
ース1 6 に追加していく（第5 (c) 図の抵抗素子名データベース1 6'）。これ  
10 を繰り返すことにより、対象回路のネットリストを変換していく。

このようなネットリスト変換処理により得られる変換後ネットリストの回路図  
は、第6 図の回路3 7 1 1、3 7 1 2 に示すものとなる。なお、第6 図では、図  
を簡略化するため、OP 1、及びTBUF 1 内に挿入される抵抗は図示していな  
いが、実際にはOP 1、及びTBUF 1 それぞれに4 つずつ抵抗が挿入されるこ  
15 ととなる。

以上のように、本実施の形態1 によれば、変換対象である回路のMOS トラン  
ジスタのゲート端子に抵抗を挿入するように、該対象回路のネットリストを変換  
するようにしたので、該対象回路がアナログCMOS 回路であっても、CMOS  
論理回路であっても、MOS トランジスタのゲート端子が不定状態の場合には、  
20 上記挿入した抵抗素子が、MOS トランジスタのゲート端子と電源間、及びMO  
S トランジスタのゲート端子と基準電位間で、プルアップ抵抗・プルダウン抵抗  
として働くこととなり、この結果、静止状態で貫通電流が流れる可能性があるM  
OS トランジスタのゲート端子を電源ー基準電圧間の電圧に固定することができ  
る。そしてこのことは、後述する静止状態貫通電流検出装置において、従来の直  
25 流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出  
することを可能とする。

また、本実施の形態1 によれば、上記対象ネットリストからMOS トランジス  
タを検出し、該MOS トランジスタのゲート端子に接続されているネットを抽出  
して、該ネットに抵抗を挿入するようにしたので、対象回路内の貫通電流が発

生する疑いのあるトランジスタを確実に検出することができ、この結果、後述する静止状態貫通電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出することができる。

(実施の形態 2)

- 5      以下、第 7 図～第 11 図を用いて、本実施の形態 2 にかかるネットリスト変換装置について説明する。

上記実施の形態 1 においては、ネット抽出部で、対象回路のネットリストから貫通電流が発生する可能性のある MOS トランジスタのゲート端子を全て抽出し、抵抗挿入部にて、該抽出したネットと電源間、及び抽出したネットと基準電位間  
10      を結ぶように抵抗を挿入するようにしたが、本実施の形態 2 においては、さらに重複ネット削除部を設け、上記ネット抽出部において抽出されたネットのうち、重複するものは削除するようにするものである。

まず、第 7 図を用いて、本実施の形態 2 に係るネットリスト変換装置 20 の構成について説明する。第 7 図は、本実施の形態 2 におけるネットリスト変換装置  
15      の構成を示す図である。

第 7 図において、ネットリスト変換装置 20 は、ネットリスト指定部 11 と、ネット抽出部 12 と、抵抗挿入部 13 と、重複ネット削除部 21 と、ネットリストデータベース 14、抽出ネットデータベース 25、及び抵抗素子名データベース 26 を含むメモリ 27 と、からなるものである。より詳細に述べると、上記重複  
20      ネット削除部 21 は、上記ネット抽出部 12 において抽出されたネットのうち、重複しているネットを削除し、新たな抽出ネットデータベース 25 を出力するものである。なお、そのほかの構成は、上記実施の形態 1 と同様であるため、ここでは説明を省略する。

次に、第 8 図～第 11 図を用いて、上述した構成を有する本実施の形態 2 のネットリスト変換装置 20 の動作について説明する。なおここでは、上述した第 3  
25      7 (a), (b) 図の両回路のネットリスト (第 5 (a) 図に示す対象ネットリスト) を変換する場合を例に挙げて説明する。

第 8 図は、本実施の形態 2 にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、第 9 図は、第 8 図に示すネットリスト変

換処理の、重複ネット削除処理の詳細な流れを示す図である。そして、第10(a)図は、本実施の形態2にかかるネットリスト変換装置の抽出ネット部で抽出される、抽出ネットデータベースと抵抗素子名データベースを示す図であり、第10(b)図は、本実施の形態2にかかるネットリスト変換装置において、第5(a)図に示すネットリストをネットリスト変換処理した変換後ネットリストと、ネットリスト変換処理後の抵抗素子名データベースの内容を示す図であり、第11図は、第10(c)図に示す変換後ネットリストの回路図である。

まず、ユーザが、ネットリスト指定部11により、静止状態時の貫通電流を検出する対象となる対象ネットリストを指定すると(第8図のステップS110)、次に、ネット抽出部12において、第5(a)図に示す対象ネットリスト内の、MOSトランジスタのゲート端子に接続されたネットを抽出するネット抽出処理が行われる(第8図のステップS120)。この処理の詳細については、上記実施の形態1において第3図を用いて述べたものと同様であるため、ここでは説明を省略する。

そして、この後、重複ネット削除部21で、抽出ネットデータベース25の重複ネットを削除する(第8図のステップS210)。

以下、第9図を用いて、上記重複ネット削除処理について詳細に述べる。

まず、MOSトランジスタの閾値毎に設けられた抽出ネットデータベース25から、上記抽出ネット部12により抽出されたネットを順次読み込む(第9図のステップS211)。次に、上記抽出ネットデータベース25から読み出したネットを辞書順に並び替え、該辞書順に並び替えられた上記抽出ネットデータベース中の先頭行より検索を行っていき、検索対象の行が示すネットがその前後の行が示すネットと重複すれば、これを削除する(第9図のステップS212)。以上のような抽出ネットデータベースの検索が終了したら、抽出ネットデータベース25の重複部を削除した新たな抽出ネットデータベース25'を出力するものである。

そして、上記重複ネット削除部21から、重複ネットが削除された新たな抽出ネットデータベース25'が出力された後、該重複ネットが削除された抽出ネットと電源間、及び該重複ネットが削除された抽出ネットと基準電位間とを結ぶ抵

抗素子を、上記対象ネットリストに挿入する抵抗挿入処理を行う（第8図のステップS130）。この処理の詳細については、上記実施の形態1において第4図を用いて述べたものと同様であるため、ここでは説明を省略する。

このような処理を行うことにより、第5（a）図の対象ネットリストから、第10（c）図に示す変換後のネットリスト28と、該対象ネットリストに追加された抵抗が追加された抵抗素子名データベース26'とが得られる。

次に、第5（a）図及び第10図に示すネットリストの例を用いて、本実施の形態2にかかるネットリスト変換装置20の動作について更に詳しく説明する。

まず、ユーザは、ネットリスト指定部11により、第5（a）図に示す対象ネットリストを指定する。次に、ネット抽出部12において、上記対象ネットリストから、変換対象であるネットを抽出する。この際、上記ネット抽出部12は、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（第5（a）図の下線部）、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。第5（a）図においては、1、2、6、7、11、12、17、18行目がMOSトランジスタに関する記述であると判定される。

そして、読み込んだ行の第6文字列（第5（a）図の1、2、6、7、11、12、17、18行目太字下線部）、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。第5（a）図においては、pchhvt、nchhvtであれば、閾値の高い（HVT）MOSトランジスタ、pchlv  
t、nchlv  
tであれば、閾値の低い（LVT）MOSトランジスタであると判定する。

同時に、その読み込んだ行の第3文字列（第5（a）図の1、2、6、7、11、12、17、18行目太字下線斜字体部）、つまりMOSトランジスタのゲート電極に接続されているネットを検出し、そのネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース25に追加する。第5（a）図の対象ネットリストの、HVTMOSトランジスタの抽出ネットデータベースは第10（a）図中の抽出ネットデータベース：AVDD251がそれに相当し、LVTMOSトランジスタの抽出ネットデータベースは第10（a）図中の抽出ネットデータベース：VDD252がそれに相当する。なお、第10（a）図中に記載

されているセミコロンの後の文字列は、ネットリスト内の階層構造を示している。

次に、上記ネット抽出部 12 によって読み込んだ行の先頭文字が“R”で始まっているか否かを判定し（第 5（a）図の 3 行目下線部）、読み込んだ行が抵抗素子に関する記述か否かを判定する。第 5（a）図の対象ネットリストにおいては、

5 3 行目が抵抗素子に関する記述であると判定される。

そして、読み込んだ行の第 1 文字列（第 5（a）図の 3 行目太字下線斜字体部）、つまり抵抗素子の抵抗素子名を抵抗素子名データベース 16 に追加する。第 5（a）図においては、第 10（a）図中の抵抗素子名データベース 26 がそれに相当する。

10 第 5（a）図の対象ネットリストを最終行まで読み込んだら、重複ネット削除部 21 にて、抽出ネットデータベース 25 中の閾値毎の抽出ネットデータベース 251、252 を順次読み込み、該読み込んだ行を辞書順に並び替えた後、重複ネットを削除する。例えば、第 10（a）図の抽出ネットリストデータ 25 では、抽出ネットデータベース：VDD252 中のネット d が重複しているため、この  
15 重複が解消される。上記重複ネット削除部 21 にて重複ネットを削除した後、新たな抽出ネットデータベース 25' を得る。重複ネット削除後の、閾値毎の抽出ネットデータベースは、第 10（b）図に示される、抽出ネットデータベース：AVDD251、及び抽出ネットデータベース：VDD252' がそれらに相当するものである。

20 この後、抵抗挿入部 13 にて、重複ネット削除後の抽出ネットと電源間、及び該重複ネット削除後の抽出ネットと基準電位間を結ぶ抵抗素子を、該対象ネットリストに挿入する。例えば、第 10（c）図に示される変換後ネットリスト 28 の 14～17、24～27、30～35 行目が、該対象ネットリストに挿入された抵抗素子に相当する。このとき、挿入する抵抗の素子名は、抵抗素子名データベース 26 内を検索し、唯一の抵抗素子名とする。また、前述のようにして対象  
25 ネットリストに挿入した抵抗素子の抵抗素子名は、順次、抵抗素子名データベース 26 に追加していく（第 10（c）図の抵抗素子名データベース 26'）。これを繰り返すことにより、対象回路のネットリストを変換していく。

このようなネットリスト変換処理により得られる変換後ネットリストの回路図

は、第11図の回路3721、3722に示すものとなる。第11図から明らか  
なように、本実施の形態2にかかるネットリスト変換装置20によるネットリス  
ト変換処理では、回路3722に挿入される抵抗の数が、上記実施の形態1のネ  
ットリスト変換装置10によるネットリスト変換処理によるもの（第6図の回路  
5 3712参照）より削減される。なお、第11図では、図を簡略化するため、O  
P1、及びTBUF1内に挿入される抵抗は図示していないが、実際にはOP1、  
及びTBUF1それぞれに4つつつ抵抗が挿入されることとなる。

以上のように、実施の形態2によれば、変換対象である回路のMOSトランジ  
スタのゲート端子に抵抗を挿入するように、該対象回路のネットリストを変換す  
10 るようにしたので、該対象回路がアナログCMOS回路であっても、CMOS論  
理回路であっても、MOSトランジスタのゲート端子が不定状態の場合には、上  
記挿入した抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOS  
トランジスタのゲート端子と基準電位間で、プルアップ抵抗・プルダウン抵抗と  
して働くこととなり、この結果、静止状態で貫通電流が流れる可能性があるMO  
15 Sトランジスタのゲート端子を電源－基準電圧間の電圧に固定することができる。  
そしてこのことは、後述する静止状態貫通電流検出装置において、従来の直流解  
析シミュレーションでは検出することが困難であった貫通電流を確実に検出する  
ことを可能とする。

さらに、本実施の形態2によれば、ネット抽出部12において、上記対象ネッ  
20 トリストからMOSトランジスタを検出して、該MOSトランジスタのゲート端  
子に接続されているネットを抽出し、重複ネット削除部21において、抽出され  
たネットのうち、重複しているネットを削除した上で、該ネットに抵抗を挿入す  
るようにしたので、対象回路内の貫通電流が発生する疑いのあるトランジスタを  
確実に検出することができて、後述する静止状態貫通電流検出装置において、従  
25 来の直流解析シミュレーションでは検出することが困難であった貫通電流を確実  
に検出することができると共に、ネットリストに追加する抵抗素子数を必要最低  
限の数にすることができ、これにより、後述する静止状態貫通電流検出装置にお  
ける解析時間を短縮することが可能となる。

なお、本実施の形態2においては、上記ネット抽出部12がネットリストから



MOSトランジスタのゲート端子が接続されているネットを抽出して抽出ネットデータベース25に保持した後、重複ネット削除部21により、該抽出ネットデータベース25を読み出して重複したネットを削除するものとして説明したが、抽出ネット部12においてMOSトランジスタのゲート端子に接続されたネットを抽出する際に、同時に重複ネット削除部21において、該抽出されたネットが上記抽出ネットデータベース25に保持されているネットと重複するか否かを判断し、重複しない場合は抽出ネットデータベース25に保持し、重複する場合は削除していくようにすれば、ネット変換処理にかかる処理時間を削減することができる。

10 (実施の形態3)

以下、第12図～第15図を用いて、本実施の形態3にかかるネットリスト変換装置について説明する。

上記実施の形態2においては、ネット抽出部で、対象回路のネットリストから貫通電流が発生する可能性のあるMOSトランジスタのゲート端子を抽出し、重複  
15 ネット削除部にて、該抽出したネットのうち重複するネットを削除した後、抵抗挿入部で、該ネットと電源間、及び該ネットと基準電位間とを結ぶように抵抗を挿入するようにしたが、本実施の形態3においては、さらに抽出ネット数カウン  
ト部を設け、上記重複ネット削除部において重複ネットを削除後の抽出ネット数をカウントするようにしたものである。

20 まず、第12図を用いて、本実施の形態3に係るネットリスト変換装置の構成について説明する。第12図は、本実施の形態3におけるネットリスト変換装置の構成を示す図である。

第12図において、ネットリスト変換装置30は、ネットリスト指定部11と、ネット抽出部12と、重複ネット削除部21と、抽出ネット数カウント部31と、  
25 抵抗挿入部13と、ネットリストデータベース14、抽出ネットデータベース25、抵抗素子名データベース26、及び抽出ネット数保持部32を含むメモリ37と、からなるものである。

より詳細に述べると、上記抽出ネット数カウント部31は、MOSトランジスタの閾値毎に設けられた抽出ネットデータベース25に保存されているネットを

読み込んで、上記重複ネット削除部 21 において削除後の抽出ネット数をカウントするものであり、上記メモリ 37 内の抽出ネット数保持部 32 は、該抽出ネット数カウント部 31 においてカウントされた抽出ネット数を保持するものである。なお、そのほかの構成は、上記実施の形態 2 と同様であるため、ここでは説明を省略する。

次に、第 13 図～第 15 図を用いて、上述した構成を有する本実施の形態 3 のネットリスト変換装置 30 の動作について説明する。なおここでは、上述した第 37 (a), (b) 図の両回路のネットリスト (第 5 (a) 図に示す対象ネットリスト) を変換する場合を例に挙げて説明する。

10 第 13 図は、本実施の形態 3 にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、第 14 図は、第 13 図に示すネットリスト変換処理の、抽出ネット数カウント処理の詳細な流れを示す図である。そして、第 15 図は、本実施の形態 3 にかかるネットリスト変換装置の抽出ネット数カウント部で抽出される、抽出ネット数保持部の内容を示す図である。

15 まず、ユーザが、ネットリスト指定部 11 により、静止状態時の貫通電流を検出する対象となる対象ネットリストを指定すると (第 13 図のステップ S 110)、次に、ネット抽出部 12 において、第 5 (a) 図に示す対象ネットリスト内の、MOS トランジスタのゲート端子に接続されたネットを抽出するネット抽出処理が行われる (第 13 図のステップ S 120)。この処理の詳細については、上記実  
20 施の形態 1 において第 3 図を用いて述べたものと同様であるため、ここでは説明を省略する。

そして、この後、重複ネット削除部 21 で、抽出ネットデータベース 25 に保存されているネットを読み出して、重複ネットを削除した後、抽出ネットデータベース 25 に再度出力する (第 13 図のステップ S 210)。この処理の詳細につ  
25 いては、上記実施の形態 2 において第 9 図を用いて述べたものと同様であるため、ここでは説明を省略する。

そして、この後、抽出ネット数カウンタ部 31 で、抽出ネットデータベース 25 に保存されたネットを読み出し、重複ネットが削除された後のネット数をカウントする (第 13 図のステップ S 310)。

以下、第14図を用いて、上記抽出ネット数カウント処理について詳細に述べると、MOSトランジスタの閾値毎に設けられた抽出ネットデータベース25に保持されたネットを順次先頭行より読み込み、その各抽出ネットデータベース毎の抽出ネット数をカウントし、メモリ37内の抽出ネット数保持部32に、MOSトランジスタの閾値毎に保持するものである(第14図のステップS311)。

そして、上記抽出ネット数カウント処理において、上記抽出ネット数カウント部31により、重複ネットが削除された抽出ネット数をカウントして、その値を上記抽出ネット数保持部32にMOSトランジスタの閾値毎に保持した後、該重複ネットが削除された抽出ネットと電源間、及び該重複ネットが削除された抽出ネットと基準電位間とを結ぶ抵抗素子を、上記対象ネットリストに挿入する抵抗挿入処理を行う(第13図のステップS130)。この処理の詳細については、上記実施の形態1において第4図を用いて述べたものと同様であるため、ここでは説明を省略する。

このような処理を行うことにより、第5(a)図の対象ネットリストから、第10(c)図に示す変換後のネットリスト28と、該対象ネットリストに追加された抵抗が追加された抵抗素子名データベース26'と、第15図に示す抽出ネット数とが得られる。

次に、第5(a)図、第10図、及び第15図に示すネットリストの例を用いて、本実施の形態3にかかるネットリスト変換装置30の動作について更に詳しく説明する。

まず、ユーザは、ネットリスト指定部11により、第5(a)図に示す対象ネットリストを指定する。次に、ネット抽出部12において、上記対象ネットリストから、変換対象であるネットを抽出する。この際、上記ネット抽出部12は、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し(第5(a)図の下線部)、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。第5(a)図においては、1、2、6、7、11、12、17、18行目がMOSトランジスタに関する記述であると判定される。

そして、読み込んだ行の第6文字列(第5(a)図の1、2、6、7、11、12、17、18行目太字下線部)、つまりMOSトランジスタのモデル名より、

MOSトランジスタの閾値を判定する。第5(a)図においては、p c h h v t、n c h h v tであれば、閾値の高い(HVT) MOSトランジスタ、p c h l v t、n c h l v tであれば、閾値の低い(LVT) MOSトランジスタであると判定する。

- 5 同時に、その読み込んだ行の第3文字列(第5(a)図の1、2、6、7、11、12、17、18行目太字下線斜字体部)、つまりMOSトランジスタのゲート電極に接続されているネットを検出し、そのネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース25に追加する。第5(a)図の対象ネットリストの、HVT MOSトランジスタの抽出ネットデータベースは第10
- 10 (a)図中の抽出ネットデータベース: AVDD251がそれに相当するものであり、LVT MOSトランジスタの抽出ネットデータベースは第10(a)図中の抽出ネットデータベース: VDD252がそれに相当する。

- 次に、上記ネット抽出部12によって読み込んだ行の先頭文字が“R”で始まっているか否かを判定し(第5(a)図の3行目下線部)、読み込んだ行が抵抗素子に関する記述か否かを判定する。第5(a)図の対象ネットリストにおいては、
- 15 3行目が抵抗素子に関する記述であると判定される。

- そして、読み込んだ行の第1文字列(第5(a)図の3行目太字下線斜字体部)、つまり抵抗素子の抵抗素子名を抵抗素子名データベース16に追加する。第5(a)図においては、第10(a)図中の抵抗素子名データベース26がそれに
- 20 相当する。

- 第5(a)図の対象ネットリストを最終行まで読み込んだら、重複ネット削除部21にて、抽出ネットデータベース25中の閾値毎の抽出ネットデータベース251、252を順次読み込み、該読み込んだ行を辞書順に並び替えた後、重複ネットを削除する。例えば、第10(a)図の抽出ネットリストデータ25では、
- 25 抽出ネットデータベース: VDD252中のネットdが重複しているため、この重複が解消される。上記重複ネット削除部21にて重複ネットを削除した後、新たな抽出ネットデータベース25'を得る。重複ネット削除後の、閾値毎の抽出ネットデータベースは、第10(b)図に示される、抽出ネットデータベース: AVDD251' 及び抽出ネットデータベース: VDD252' がそれらに相当

する。

この後、抽出ネット数カウント部 31 にて、抽出ネットデータベース 25 に含まれるネット数をカウントする。第 10 (b) 図の重複ネット削除後の抽出ネットデータベース 25' に含まれるネット数のうち、抽出ネットデータベース: A  
5 VDD 251'、つまり HVTMOS トランジスタに関するネット数は、トップレベルの階層において“2”、オペアンプ OP の階層において“2”、また、抽出ネットデータベース: VDD 252'、つまり LVTMOS トランジスタに関するネット数は、トップレベルの階層において 1、Tri State Buffer TB  
10 UF の階層において“2”である。これらのネット数に関する情報は、抽出ネット数保持部 32 に保持される。ここでは、第 15 図がそれに相当する。

この後、抵抗挿入部 13 にて、重複ネット削除後の抽出ネットと電源間、及び該重複ネット削除後の抽出ネットと基準電位間を結ぶ抵抗素子を、該対象ネットリストに挿入する。例えば、第 10 (c) 図に示される変換後ネットリスト 28  
15 の 14~17、24~27、30~35 行目が、該対象ネットリストに挿入された抵抗素子に相当する。このとき、挿入する抵抗の素子名は、抵抗素子名データベース 26 内を検索し、唯一の抵抗素子名とする。また、前述のようにして対象ネットリストに挿入した抵抗素子の抵抗素子名は、順次、抵抗素子名データベース 26 に追加していく (第 10 (c) 図の抵抗素子名データベース 26')。これを繰り返すことにより、対象回路のネットリストを変換していく。

20 このようなネットリスト変換処理により得られる変換後ネットリストの回路図は、第 11 図の回路 3721, 3722 に示すものとなる。この回路の詳細については、上記実施の形態 2 と同様であるため、ここでは説明を省略する。

以上のように、本実施の形態 3 によれば、変換対象である回路の MOS トランジスタのゲート端子に抵抗を挿入するように、該対象回路のネットリストを変換  
25 するようにしたので、該対象回路がアナログ CMOS 回路であっても、CMOS 論理回路であっても、MOS トランジスタのゲート端子が不定状態の場合には、上記挿入した抵抗素子が、MOS トランジスタのゲート端子と電源間、及び MOS トランジスタのゲート端子と基準電位間で、プルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態で貫通電流が流れる可能性がある

MOSトランジスタのゲート端子を電源－基準電圧間の電圧に固定することができる。そしてこのことは、後述する静止状態貫通電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出することを可能とする。

- 5      さらに、本実施の形態3によれば、ネット抽出部12において、上記対象ネットリストからMOSトランジスタを検出して、該MOSトランジスタのゲート端子に接続されているネットを抽出し、重複ネット削除部21において、抽出されたネットのうち、重複しているネットを削除した上で、該ネットに抵抗を挿入するようにしたので、対象回路内の貫通電流が発生する疑いのあるトランジスタを
- 10      確実に検出することができて、後述する静止状態貫通電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出することができると共に、ネットリストに追加する抵抗素子数を必要最低限の数にすることができ、これにより、後述する静止状態貫通電流検出装置における解析時間を短縮することが可能となる。

- 15      さらに、本実施の形態3によれば、抽出ネット数カウント部31を設け、上記重複ネット削除部21によって削除された重複ネット削除後の抽出ネット数をカウントするようにしたので、抵抗挿入部13により抵抗素子が挿入されるネット数を得ることができるため、後述する貫通電流検出装置において、全貫通電流の算出を実現することが可能となる。

- 20      (実施の形態4)

以下、第16図～第21図を用いて、本実施の形態4にかかるネットリスト変換装置40について説明する。

- 上記実施の形態においては、ネット抽出部により、対象回路のネットリストから貫通電流が発生する可能性のあるMOSトランジスタのゲート端子を抽出した後、抵抗挿入部により、上記抽出したネットと電源間、及び該抽出したネットと基準電位間とを結ぶように抵抗を挿入するようにしたが、本実施の形態4においては、対象回路のネットリストのうちの貫通電流が発生する可能性のあるMOSトランジスタを、まずサブサーキットに置き換えた後、該貫通電流が発生する可能性のあるMOSトランジスタのゲート端子に抵抗を挿入したサブサーキ
- 25

ットの内容を、上記において置き換えたサブサーキットの内容として上記ネットリストに追加するようにしたものである。

まず、第16図を用いて、本実施の形態4に係るネットリスト変換装置40の構成について説明する。第16図は、本実施の形態4に係るネットリスト変換装置5の構成を示す図である。

第16図において、ネットリスト変換装置40は、ネットリスト指定部11と、トランジスタ置換え部41と、サブサーキット追加部42と、メモリ47と、からなるものである。

より詳細に述べると、上記トランジスタ置換え部41は、静止状態時の貫通電流検出対象ネットリストに対して、変換対象としたMOSトランジスタをサブサーキットに置き換えるものであり、上記サブサーキット追加部42は、上記トランジスタ置換え部41により置き換えたサブサーキットの内容を、上記対象ネットリストに追加するものである。そして、上記メモリ47は、対象回路のネットリストを保持するネットリストデータベース14と、上記トランジスタ置換え部41により置換えられるトランジスタの数を保持する置換えトランジスタ数保持部43と、追加するサブサーキットを、閾値及び種類の異なるMOSトランジスタ毎に予め保持しておく置換えサブサーキットデータベース44とを含むものである。

次に、第17図～第21図を用いて、上述した構成を有する本実施の形態4のネットリスト変換装置40の動作について説明する。なおここでは、上述した第37(a)、(b)図の両回路のネットリスト(第5(a)図に示す対象ネットリスト)を変換する場合を例に挙げて説明する。

第17図は、本実施の形態4にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、第18図は、第17図に示すネットリスト変換処理の、トランジスタ置換え処理の詳細な流れを示す図であり、第19図は、第17図に示すネットリスト変換処理の、サブサーキット追加処理の詳細な流れを示す図である。そして、第20図は、本実施の形態4にかかるネットリスト変換装置により第5(a)図に示すネットリストをネットリスト変換処理した後の変換後ネットリストと、ネットリスト変換処理後の置換えトランジスタ数

保持部の内容を示す図であり、第21図は、第20図に示す変換後ネットリストの回路図である。

- まず、ユーザが、ネットリスト指定部11により、静止状態時の貫通電流を検出する対象となる対象ネットリストを指定すると(第17図のステップS110)、
- 5 次に、トランジスタ置き換え部41において、変換対象としたMOSトランジスタをサブサーキットに置き換える(第17図のステップS410)。

以下、第18図を用いて、上記トランジスタ置き換え処理について詳細に述べる。

- まず、ネットリスト指定部11で指定された対象ネットリストを、先頭行より1行ずつ順次読み込んでいく(第18図のステップS411)。そして、該読み込んだ行の先頭文字が“M”で始まっているか否かを判定し(第18図のステップS412)、その判定結果に応じて、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。読み込んだ行の先頭文字が“M”で始まっているれば、MOSトランジスタに関する記述であると判定して、次のステップS413を実施し、そうでないと判定された場合、ステップS415を実施する。
- 10

- そして上記ステップS412において、読み込んだ行がMOSトランジスタであると判定された場合、読み込んだ行の第6文字列、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値及び種類を判定する。そしてこの後、現在読み込まれているMOSトランジスタに関する記述を、MOSトランジスタの閾値及び種類毎に置換えサブサーキットデータベース44に保持されているサブサーキットに置き換えていく(第18図のステップS413)。このとき、この置き換える行の第1文字列の先頭に“X”を追加し、さらに置換えられたMOSトランジスタからは、該MOSトランジスタの第2、第3、第4、第5文字列つまり、“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなるネット接続情報、及び“W:チャネル幅”、“L:チャネル長”、“M:マルチプライヤ”などからなるパラメータ情報を抽出して、これらをサブサーキットへ引き継ぐ。もちろんここで、“W”、“L”、“M”のほかに“AD:ドレイン拡散領域”、“AS:ソース拡散領域”、“PD:ドレイン拡散領域周囲長”、“PS:ソース拡散領域周囲長”なども、サブサーキットに引き継ぐことができる。
- 20
- 25

そして、置き換えたMOSトランジスタの閾値毎に、トランジスタの置き換え



数をカウントし、そのカウント数を置換えトランジスタ数保持部43に保持する（第18図のステップS414）。これを繰り返すことにより、対象回路のネットリストを変換していく。

- 5 この後、読み込んだ行が最終行か否かを判定し（第18図のステップS415）、最終行であれば処理を終了し、そうでなければ、上記ステップS411に戻って、上述した処理を繰り返す。

- 10 上述したように、上記トランジスタ置換え処理のステップS415において、読み込んだ行が最終行であると判定された場合、上記トランジスタ置換え処理においてMOSトランジスタから置き換えたサブサーキットの内容を追加する（第17図のステップS420）。

上記サブサーキット追加処理について詳細に説明すると、第19図に示すように、閾値の異なるトランジスタ毎に、トランジスタ置換え用サブサーキットを、上記対象ネットリストに追加していく（第19図のステップS421）。

- 15 なお、上記サブサーキット追加処理において追加するサブサーキットには、それぞれのMOSトランジスタの閾値及び種類に対応したMOSトランジスタがひとつと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源間、及び該MOSトランジスタのゲート端子と基準電圧間とを結ぶ抵抗素子とが含まれる。

- 20 このような処理を行うことにより、第5（a）図の対象ネットリストから、第20図に示す変換後のネットリスト48と、置き換えトランジスタ数とが得られる。

次に、第5（a）図、及び第20図に示す対象ネットリストの例を用いて、本実施の形態4にかかるネットリスト変換装置40の動作について更に詳しく説明する。

- 25 まず、ネットリスト指定部11で、第5（a）図に示す対象ネットリストを指定する。

次に、トランジスタ置換え部41において、変換対象としたMOSトランジスタをサブサーキットに置き換える。この際、トランジスタ置換え部41は、第5（a）図に示す対象ネットリストの先頭行より1行ずつ順次読み込みを行う。そ

して、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し(第5(a)図の下線部)、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。第5(a)図においては、1、2、6、7、11、12、17、18行目がMOSトランジスタに関する記述であると判定される。

- 5     そして、読み込んだ行の第6文字列(第5(a)図の1、2、6、7、11、12、17、18行目太字下線部)、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値及び種類を判定する。第5(a)図においては、p c h h v tであればP c h HVTMOSトランジスタ、n c h h v tであればN c h HVTMOSトランジスタ、p c h l v tであればP c h LVTMOSトランジスタ、n c h l v tであればN c h LVTMOSトランジスタであると判定する。
- 10

- そして、現在読み込まれているMOSトランジスタに関する記述を、MOSトランジスタの閾値及び種類毎に設けられたサブサーキットに置き換えを行う。このとき、この行の第1文字列の先頭に“X”を追加し、置き換えるMOSトランジスタの第2、第3、第4、第5文字列、つまり該MOSトランジスタの“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなるネット接続情報をそのまま引継ぎ、また“W:チャネル幅”、“L:チャネル長”、“M:マルチプライヤ”などからなるパラメータ情報についても、サブサーキットに“PARAMS”を用いて引き継ぐ。なお、第20図の変換後ネットリスト48において、
- 15
- 20   MOSトランジスタがサブサーキットに引き継がれた行は、1~2、6~7、11~12、17~18行目がそれらに相当するものである。

- 同時に、上記トランジスタ置換え部41によって置き換えられたMOSトランジスタを、その閾値の異なるトランジスタ毎に、トランジスタの置き換え数をカウントする。第20図の置換えトランジスタ数保持部43の内容がこれに相当する。
- 25

   そして、上記サブサーキット追加部42により、MOSトランジスタからサブサーキットに置き換えるためのサブサーキットの内容を追加する。第20図の変換後ネットリスト48において、P c h HVTMOSトランジスタに関するサブサーキットの記述は22~26行目に、また、N c h HVTMOSトランジスタ

に関するサブサーキットの記述は28～32行目に、また、PchLVTMOSトランジスタに関するサブサーキットの記述は34～38行目に、さらに、NchLVTMOSトランジスタに関するサブサーキットの記述は40～44行目に相当する。

- 5       そして、追加したサブサーキットには、それぞれのMOSトランジスタの閾値及び種類に対応したMOSトランジスタがひとつと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源間、及び該MOSトランジスタのゲート端子と基準電位間を結ぶ抵抗素子が含まれる。これらの処理を繰り返すことにより、対象回路のネットリストを変換していく。
- 10       このようなネットリスト変換処理により得られる変換後ネットリストの回路図は、第21図の回路3731、3732に示すものとなる。第21図から明らかなように、本実施の形態4にかかるネットリスト変換装置40によるネットリスト変換処理では、上記実施の形態1にかかるネットリスト変換装置10によるネット変換処理と同数の抵抗が挿入されることとなる。しかし、本実施の形態4に
- 15       かかるネットリスト変換装置40により変換された後のネットリスト48（第20図参照）のほうが、実施の形態1にかかるネットリスト変換装置10により変換された後のネットリスト18（第5（c）図参照）より回路構成がわかりやすく、また変換前のネットリストの状態を維持したまま、抵抗素子が追加されていくため、変換後のネットリストがみやすく、且つ変換後のネットリストから構成
- 20       回路がわかりやすいものとなる。

- 以上のように、本実施の形態4によれば、変換対象である回路のMOSトランジスタを、抵抗を含むサブサーキットに置換えるようにしたので、該対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態の場合には、上記MOSトランジスタの代わりに
- 25       置き換えたサブサーキットに含まれる抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間で、プルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態で貫通電流が流れる可能性があるMOSトランジスタのゲート端子を電源－基準電圧間の電圧に固定することができる。

さらに、本実施の形態4によれば、MOSトランジスタのゲート端子に直接抵抗を挿入するのではなく、該MOSトランジスタを、抵抗を含むサブサーキットに置換えるようにしたので、変換後のネットリストがみやすく、該変換後ネットリストから回路構成がわかりやすいという効果がある。

5 (実施の形態5)

以下、第22図～第26図を用いて、本実施の形態5にかかるネットリスト変換装置50について説明する。

上記実施の形態においては、対象回路のネットリストからMOSトランジスタを全て抽出し、該MOSトランジスタに対して抵抗を挿入するようにしたが、本  
10 実施の形態5においては、信頼性の高い回路に対しては、該回路内にたとえMOSトランジスタが含まれていても、該MOSトランジスタに対しては抵抗を挿入しないようにするものである。

まず、第22図を用いて、本実施の形態5に係るネットリスト変換装置の構成について説明する。第22図は、本実施の形態5におけるネットリスト変換装置  
15 50の構成を示す図である。

第22図において、ネットリスト変換装置50は、ネットリスト指定部11と、第1ネット抽出部12と、第2ネット抽出部51と、重複ネット削除部21と、抵抗挿入部53と、ネットリストデータベース14、抽出ネットデータベース55、抵抗素子名データベース56、及びサブサーキットデータベース52を含む  
20 メモリ57と、からなるものである。

より詳細に述べると、上記第1ネット抽出部12は、静止状態時の貫通電流検出対象ネットリスト内の、MOSトランジスタに接続されたネットを抽出するものであって、上記各実施の形態におけるネット抽出部に相当するものであり、一方、上記第2ネット抽出部51は、静止状態時の貫通電流検出対象ネットリスト  
25 に対して、ある特定のサブサーキットの入力端子に接続されているネットを抽出するものである。また、上記抵抗挿入部53は、上記第1ネット抽出部12及び第2ネット抽出部51で抽出され、上記重複ネット削除部21で重複ネットが削除されたネットのうち、特定のサブサーキットに含まれるMOSトランジスタのゲート端子に接続されているネット以外の特定のネットと電源間、及び上記

特定のネットと基準電位間を接続する抵抗素子を挿入するものである。そして、メモリ 57 内のサブサーキットデータベース 52 は、上記第 2 ネット抽出部 51 において抽出するサブサーキットの情報を示すものがある。なお、その他の構成は上記実施の形態 2 と同様であるため、ここでは説明を省略する。

- 5      次に、第 23 図～第 26 図を用いて、上述した構成を有する本実施の形態 5 のネットリスト変換装置 50 の動作について説明する。なおここでは、上述した第 37 (a), (b) 図の両回路の静止状態貫通電流を検出するため、これらの回路のネットリストを変換する場合を例に挙げて説明する。

- 10      第 23 図は、本実施の形態 5 にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、第 24 図は、第 23 図に示すネットリスト変換処理内の、第 2 ネット抽出処理の詳細な流れを示す図であり、第 25 図は、第 23 図に示すネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。そして、第 26 (a) 図は、本実施の形態 5 にかかるネットリスト変換装置によって、ネットリスト変換される対象回路（ここでは、第 37 (a), (b)
- 15      図に示す回路）のネットリストを示す図であり、第 26 (b) 図は、本実施の形態 5 にかかるネットリスト変換装置の抽出ネット部で抽出される、抽出ネットデータベースと抵抗素子名データベースを示す図であり、第 26 (c) 図は、サブサーキットデータベースの内容、及び第 2 ネット抽出部による処理後の抽出ネットデータベースの内容を示す図であり、第 26 (d) 図は、重複ネット削除部による処理後の抽出ネットデータベースの内容を示す図であり、第 26 (e) 図は、抽出ネット数カウント部によりカウントされた抽出ネット数を示す図であり、第 26 (f) 図は、本実施の形態 5 にかかるネットリスト変換装置において、第 26 (a) 図に示すネットリストをネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースを示す図である。

- 25      まず、ユーザは、ネットリスト指定部 11 により、静止状態時の貫通電流を検出する対象となる対象ネットリストを指定する（第 23 図のステップ S110）。この処理の詳細については、上記実施の形態 1 において述べたものと同様であるため、ここでは説明を省略する。

次に、第 1 ネット抽出部 12 において、第 26 (a) 図に示す対象ネットリス

ト内の、MOSトランジスタのゲート端子に接続されたネットを抽出する第1ネット抽出処理を行う(第23図のステップS120)。この処理については、上述したように上記実施の形態1において、第3図を用いて説明したネット抽出処理と同様であるため、ここでは説明を省略する。

- 5     そして、この後、第2ネット抽出部51で、再度、上記ネットリスト指定部11により指定された第26(a)図に示す対象ネットリストを読み込み、該対象ネットリストに対して、変換対象としたある特定のサブサーキットの入力端子に接続されているネットを抽出していく。

以下、第24図を用いて、上記第2ネット抽出処理について詳細に述べる。

- 10     まず、ネットリスト指定部11で指定された対象ネットリストの先頭行より1行ずつ順次読み込みを行う(第24図のステップS511)。次に、読み込んだ行がサブサーキットに関する記述か否かを判定する(第24図のステップS512)。ここでは、読み込んだ行の先頭文字が“X”で始まっているか否かを判定する。すなわち、読み込んだ行の先頭文字が“X”で始まっているれば、サブサーキット
- 15     に関する記述であると判定して、次のステップS513を実施し、そうでないと判定された場合、ステップS515を実施する。

- そして、上記ステップS512において、読み込んだ行がサブサーキットであると判定された場合、該読み込んだ行の最終文字列、つまり読み込んだサブサーキットのサブサーキット名が、サブサーキットデータベース52に含まれるか否
- 20     かを判定する(第24図のステップS513)。そして、読み込んだサブサーキットのサブサーキット名が、サブサーキットデータベース52に含まれていると判定されれば、次のステップS514を実施し、そうでないと判定された場合、ステップS515を実施する。

- そして、上記ステップS514において、サブサーキットデータベース52に含まれるサブサーキットの入力端子情報、及びその入力端子のMOSトランジスタ
- 25     の閾値情報を元に、該サブサーキットの入力端子に接続されているネットを抽出し、その抽出したネットを、第1ネット抽出部12で得られた閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベース55に追加し、新たな抽出ネットデータベース55'を得る。この新たに得られた抽出ネットデータベース5

5' は、第26(c)図に示されるものである。

この後、読み込んだ行が最終行か否かを判定し(第24図のステップS515)、最終行であれば処理を終了し、そうでなければステップS511に戻って、上述した処理を繰り返す。

- 5     そして、上述の第1、第2ネット抽出処理が終了後、重複ネット削除部21で、上記第2ネット抽出処理により得られた抽出ネットデータベース55'の重複ネットを削除し、第26(d)図に示される、重複ネットが削除された抽出ネットデータベース55''を得、抽出ネットカウント部31で、上記重複ネット削除後の抽出ネットデータベース55''に含まれるネット数をカウントして、メモリ5
- 10    7内の抽出ネット数保持部32(第26(e)図参照)に、MOSトランジスタの閾値毎に保持する(第23図のステップS310)。これらの処理については、上記実施の形態3において第14図を用いて述べたものと同様であるため、ここでは説明を省略する。

- 15    そして、上記重複ネット削除部21において重複ネットが削除され、新たな抽出ネットデータベース55''が出力された後、該重複ネットが削除された抽出ネットのうち、サブサーキットデータベース52に含まれるMOSトランジスタのゲート端子に接続されているネット以外の特定ネットと電源間、及び該特定ネットと基準電位間とを結ぶ抵抗素子を、上記対象ネットリストに挿入する抵抗挿入処理を行う(第23図のステップS520)。

- 20    以下、第25図を用いて、上記抵抗挿入処理について詳細に述べると、第1ネット抽出部12及び第2ネット抽出部51で抽出され、さらに重複ネット削除部21で重複ネットを削除されたネットのうち、サブサーキットデータベース52に保持されている特定のサブサーキットに含まれるMOSトランジスタのゲート端子に接続されているネット以外の特定のネットと電源間、及び上記特定のネット
- 25    と基準電位間を接続する抵抗をネットリストに挿入する。ここでは、抽出ネットデータベース55''の、MOSトランジスタの閾値毎に抽出された抽出ネットデータベース:ADV551''、抽出ネットデータベース:VDD552''に含まれるネットのうち、サブサーキットデータベース52に含まれるMOSトランジスタのゲート端子に接続されているネット以外の特定のネットとMOSトラ

ンジスタの閾値毎に決められた電源間、及び上記特定のネットと基準電位間に抵抗をネットリストに挿入する（第25図のステップS521）。このとき、挿入する抵抗の素子名は、抵抗素子名データベース56内を検索し、唯一の抵抗素子名とする。また、挿入した抵抗素子の抵抗素子名を抵抗素子名データベース56’

5 に追加する。これを繰り返すことにより、対象ネットリストを変換する。

このような処理を行うことにより、第26（a）図の対象ネットリストから、第26（f）図に示す変換後のネットリスト58と、ネットリストに追加された抵抗が追加された抵抗素子名データベース56’と、第26（e）図に示す抽出ネット数32とが得られる。

10 次に、第26図に示すネットリストの例を用いて、本実施の形態5にかかるネットリスト変換装置50の動作について更に詳しく説明する。

まず、ユーザは、ネットリスト指定部11により、第26（a）図に示す対象ネットリストを指定する。なお、第26（a）図は、第5（a）図と同様、第37（a）、（b）図で示した回路図をSPICE形式のネットリストで表現したものであるが、第5（a）図と異なる点は、第26（a）図においては、第5（a）図の6～7行目のMP2、MN2で形成されるインバータをサブサーキット名INVとして表している点であり、第26（a）図では、6行目でサブサーキットINVと表現し、また21～24行目で、該サブサーキットINVの内容に関する記述が追加されている。

20 次に、第1ネット抽出部12において、上記対象ネットリストから、変換対象としたネットを抽出する。この際、上記第1ネット抽出部12は、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（第26（a）図の下線部）、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。第26（a）図においては、1、2、10、11、16、17、22、23行目がMOSトランジスタに関する記述であると判定される。

25 そして、読み込んだ行の第6文字列（第26（a）図の1、2、10、11、16、17、22、23行目太字下線部）つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。第26（a）図においては、pchhvt、nchhvtであれば、HVTMOSトランジスタ、pchlv t、



n c h l v tであれば、LVTMOSトランジスタであると判定する。

同時に、その読み込んだ行の第3文字列(第26(a)図の1、2、10、11、16、17、22、23行目太字下線斜字体部)、つまりMOSトランジスタのゲート電極に接続されているネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース55に追加する。第26(a)図の対象ネットリストの、HVTMOSトランジスタの抽出ネットデータベースは第26(b)図中の抽出ネットデータベース:AVDD551がそれに相当し、LVTMOSトランジスタの抽出ネットデータベースは第26(b)図中の抽出ネットデータベース:VDD552がそれに相当する。

- 10 次に、上記第1ネット抽出部12によって読み込んだ行の先頭文字が“R”で始まっているか否かを判定し(第26(a)図の3行目太字下線斜字体部)、読み込んだ行が抵抗素子に関する記述か否かを判定する。第26(a)図の対象ネットリストにおいては、3行目が抵抗素子に関する記述であると判定される。そして、読み込んだ行の第1文字列(第26(a)図の3行目太字下線斜字体部)、つまり抵抗素子の抵抗素子名を、抵抗素子名データベース56に追加する。第26(a)図においては、第26(b)図中の抵抗素子名データベース56がそれに相当する。

- 20 第26(a)図の対象ネットリストを最終行まで読み込んだら、今度は、第2ネット抽出部51において、上記ネットリスト指定部11により指定された対象ネットリストから、変換対象としたある特定のサブサーキットの入力端子に接続されているネットを抽出する。

- 25 ここでは、ネットリスト指定部11で指定された対象ネットリストの先頭行より1行ずつ順次読み込みを行い、読み込んだ行の先頭文字が“X”で始まっているか否かを判定し(第26(a)図の下線斜字体部)、それに応じて、読み込んだ行がサブサーキットに関する記述か否かを判定する。第26(a)図においては、4、6、7行目がサブサーキットに関する記述であると判定される。

そしてこの後、上記読み込んだ行の最終文字列、つまり読み込んだサブサーキットのサブサーキット名が、サブサーキットデータベース52に含まれるか否かを判定する。ここで、上記サブサーキットデータベース52は、第26(c)図

に相当し、サブサーキットの入力端子情報、及びその入力端子のMOSトランジスタの閾値情報を含む。第26(a)図においては、6、7行目が、サブサーキットデータベース52に含まれるサブサーキットに相当する。

そして、上記第2ネット抽出部51によって、サブサーキットデータベース52に含まれる、サブサーキットの入力端子情報及びその入力端子のMOSトランジスタの閾値情報を元に、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なるMOSトランジスタ毎に設けられた抽出ネットデータベース55(第26(b)図参照)に追加し、新たな抽出ネットデータベース55'を得る。ここでは、第2ネット抽出部51により、LVT MOSトランジスタに関する抽出ネットデータベースに対してネットが追加され、第26(c)図に示される抽出ネットデータベース: VDD552' がそれに相当するものである。

次に、重複ネット削除部21にて、第26(b)図に示す抽出ネットデータベース: AVDD551、及び第26(c)図に示す抽出ネットデータベース: VDD552' に保存されたネットを順次読み込み、それぞれの抽出ネットデータベースから読み込んだ行を辞書順に並び替え、重複ネットを削除する。第26(c)図では、ネットIN: INV、及びネットdが重複しているため、この抽出ネットデータベース: VDD552' 内のネットの重複が解消される。重複ネットを削除した後、新たな抽出ネットデータベース55''を得る。第26(b), (c)図からは、それぞれ第26(d)図中の、抽出ネットデータベース: AVDD551'', 及び抽出ネットデータベース: VDD552'' が得られる。

そしてこの後、上記抽出ネット数カウンタ部31により、上記抽出ネットデータベース55''に含まれるネット数をカウントする。なお、このときサブサーキットデータベース52に含まれるネットに関してはカウントしない(図示せず)。

第26(d)図の抽出ネットデータベース: AVDD551''に含まれるネット数、つまりHVTMOSトランジスタに関するネット数はトップレベルの階層において“2”、オペアンプOPの階層において“2”、一方、第26(d)図の抽出ネットデータベース: VDD552''に含まれるネット数、つまりLVTMOSトランジスタに関するネット数はトップレベルの階層において“2”である。

これらのネット数に関する情報は、抽出ネット数保持部 3 2 に保持される。ここでは、第 2 6 (e) 図がそれに相当する。

次に、抵抗挿入部 5 2 にて、第 1 ネット抽出部 1 2、及び第 2 ネット抽出部 5 1 で抽出され、重複ネット削除部 2 1 で重複ネットを削除されたネットのうち、  
5 特定のサブサーキットに含まれる MOS トランジスタのゲート端子に接続されているネット以外のネットと電源間、及び上記特定のネットと基準電位間を接続する抵抗を、対象ネットリストに挿入する。ここでは、MOS トランジスタの閾値毎に抽出された抽出ネットデータベース 5 5 '' (第 2 6 (d) 図に相当) に含まれるネットのうち、サブサーキットデータベース 5 2 に含まれる MOS トランジスタのゲート端子に接続されているネット以外の特定のネットと、MOS トランジスタの閾値毎に決められた電源間、及び上記特定のネットと、基準電位間を結ぶ抵抗素子を、該対象ネットリストに挿入する。ここで、第 2 6 (d) 図に示すように、“TBUF” 及び “INV” は、サブサーキットデータベース 5 2 に含まれるため、上記特定のネットから除外される。第 2 6 (f) 図の 1 3 ~ 1 6、3  
10 0 ~ 3 7 行目がネットリストに挿入された抵抗素子に相当する。

そしてこのとき、挿入する抵抗の素子名は、抵抗素子名データベース 5 6 内を検索し、唯一の抵抗素子名とする。また、前述のようにして対象ネットリストに挿入した抵抗素子の抵抗素子名を、順次、抵抗素子名データベース 5 6 に追加していく (第 2 6 (f) 図の抵抗素子名データベース 5 6 ')。これを繰り返すこと  
15 により、対象ネットリストを変換する。

以上のように、本実施の形態 5 によれば、変換対象である回路の MOS トランジスタのゲート端子に抵抗を挿入するように、該対象回路のネットリストを変換するようにしたので、該対象回路がアナログ CMOS 回路であっても、CMOS 論理回路であっても、MOS トランジスタのゲート端子が不定状態の場合には、  
25 上記挿入した抵抗素子が、MOS トランジスタのゲート端子と電源間、及び MOS トランジスタのゲート端子と基準電位間で、プルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態で貫通電流が流れる可能性がある MOS トランジスタのゲート端子を電源-基準電圧間の電圧に固定することができる。そしてこのことは、後述する静止状態貫通電流検出装置において、従来

の直流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出することを可能とする。

また、本実施の形態 5 によれば、重複ネット削除部 21 により抽出ネットデータベース内の重複しているネットを削除することに加え、あらかじめ貫通電流が発生する疑いがない回路をサブサーキットデータベース 52 に保持しておき、抵抗挿入部 53 により抵抗を挿入する際には、該サブサーキットデータベース 52 に示された箇所には抵抗を挿入しないようにしたので、対象回路内の貫通電流が発生する疑いのあるトランジスタを確実に検出することができ、後述する静止状態貫通電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出することができると共に、上記サブサーキットデータベース 52 に含まれるネットに関しては、そのサブサーキットの入力端子に接続されるネットのみが抵抗素子挿入の対象となるため、ネットリストに挿入される抵抗素子の数を大幅に少なくすることが可能となり、これにより、後述する静止状態貫通電流検出装置における解析時間を、より短縮することが可能となる。

さらに、本実施の形態 5 によれば、抽出ネット数カウント部 31 を設け、上記重複ネット削除部 21 による重複ネット削除後の抽出ネット数をカウントするようにしたので、抵抗挿入部 13 により抵抗素子が挿入されるネット数を得ることができるため、後述する貫通電流検出装置において、全貫通電流の算出を実現することが可能となる。

なお、本実施の形態 5 においては、上記実施の形態 1～3 に示すように、ネット抽出部により、対象回路のネットリストから貫通電流が発生する可能性のある MOS トランジスタのゲート端子を抽出した後、抵抗挿入部により、上記抽出したネットと電源間、及び該抽出したネットと基準電位間とを結ぶように抵抗を挿入するものについて説明したが、上記実施の形態 4 に示すように、対象回路のネットリストのうちの貫通電流が発生する可能性のある MOS トランジスタを、まずサブサーキットに置き換えた後、該貫通電流が発生する可能性のある MOS トランジスタのゲート端子に抵抗を挿入したサブサーキットの内容を、置き換えたサブサーキットの内容として上記ネットリストに追加するものであっても、

本実施の形態 5 と同様の処理が可能である。

(実施の形態 6)

以下、第 27 図～第 29 図を用いて、本実施の形態 6 にかかる静止状態貫通電流検出装置 100 について説明する。

- 5      本実施の形態においては、上記実施の形態 1～5 において説明したネットリスト変換装置により、静止状態時の貫通電流検出対象ネットリストを変換処理した上で、該ネットリストの静止状態時の貫通電流を検出するものである。

まず、第 27 図を用いて、本実施の形態 6 にかかる静止状態貫通電流検出装置 100 の構成について説明する。第 27 図は、本実施の形態 6 における静止状態  
10   貫通電流検出装置の構成を示す図である。

第 27 図において、静止状態貫通電流検出装置 100 は、ネットリスト変換部 10 と、直流解析部 101 と、トランジスタ検索部 102 と、メモリ 105 と、  
からなるものである。

- より詳細に述べると、上記ネットリスト変換部 10 は、静止状態貫通電流検出  
15   対象回路のネットリストに対し、貫通電流が発生する可能性のある箇所抵抗に  
挿入するよう、該対象ネットリストを変換するものであり、その構成は、上述した  
実施の形態 1～5 に相当するものである。そして、上記直流解析部 101 は、  
上記ネットリスト変換部 10 により、該ネットリスト変換処理がされた後の変換  
後ネットリストに対して、直流解析を行って直流解析結果を得るものであり、上  
20   記トランジスタ検索部 102 は、上記直流解析部 101 にて得られた直流解析結果  
により、貫通電流が発生している MOS トランジスタを検索するものである。  
そして、上記メモリ 105 は、上記直流解析結果を保持する直流解析結果保持部  
103 と、上記トランジスタ検索部 102 において検索された貫通電流が発生する  
可能性のある箇所を保持する電流貫通トランジスタデータベース 104 とを含  
25   むものである。

以下、第 28 図、第 29 図を用いて、上述した構成を有する本実施の形態 6 の  
静止状態貫通電流検出装置 100 の動作について説明する。なお、ここでは、上  
述した第 37 (a), (b) 図の両回路の静止状態貫通電流を検出するものとする。

第28図は、本実施の形態6にかかる静止状態貫通電流検出装置による、貫通電流検出処理の一連の流れを示す図であり、第29図は、第28図に示す貫通電流検出処理内の、トランジスタ検索処理の詳細な流れを示す図である。

まず、ユーザが、ネットリスト変換部10内のネットリスト指定部（図示せず）により静止状態貫通電流を検出する対象となる回路を指定すると、ネットリスト変換部10は、該指定された対象回路のネットリストに対し、ネットリスト変換を実施する（第28図のステップS1000）。この動作については、上記実施の形態1～5に示した通りである。

そして、直流解析部101において、上記ネットリスト変換部10で変換されたネットリストについて直流解析を実施して直流解析結果を得、これをメモリ105内の直流解析結果保持部103に保持する（第28図のステップS2000）。なお、直流解析の動作については従来と同様であるため、説明を省略する。

そしてこの後、トランジスタ検索部102において、上記直流解析部101にて得られた直流解析結果により、貫通電流が発生する可能性のあるMOSトランジスタを検索して、その結果を、メモリ105内の電流貫通トランジスタデータベース104に保持していく（第28図のステップS3000）。

以下、第29図を用いて、上記トランジスタ検索処理について詳細に述べる。

まず、上記直流解析部101にて得られた直流解析結果より、MOSトランジスタに関する情報を検索する（第29図のステップS3100）。そして、 $|IDS| > I_{th}$ であれば、ステップS3300を実施し、そうでなければステップS3400を実施する。すなわち、上記 $|IDS|$ が $I_{th}$ より大きければ、そのMOSトランジスタには貫通電流が発生していると判定して、電流貫通トランジスタデータベース104にそのMOSトランジスタを追加し（第29図のステップS3300）、上記 $|IDS|$ が $I_{th}$ より小さければ、そのMOSトランジスタは貫通電流が発生していないと判定する。この後、検索したMOSトランジスタが最後のMOSトランジスタか否かを判定し（第29図のステップS3400）、最後のMOSトランジスタであれば処理を終了し、そうでなければ上記ステップS3100に戻り、上述した処理を繰り返す。

このようにして、静止状態において貫通電流が発生する可能性のある箇所を

検出し、電流貫通トランジスタデータベース104を出力する。

次に、第26図に示すネットリストの例を用いて、本実施の形態6にかかる静止状態貫通電流検出装置100の動作について更に詳しく説明する。なお、ここでは、ネットリスト変換部が実施の形態5に示すネットリスト変換装置であるものとして説明する。

まず、第26(a)図の対象ネットリストに対して、実施の形態5のネットリスト変換装置であるネットリスト変換部10によってネットリスト変換が実施され、第26(f)図に示す変換後ネットリストが得られたとする。

ここで、静止状態の貫通電流を検出する際に、OP1の制御信号ENABLE1、及びTBUF1の制御信号ENABLE2が“L”であったと仮定する。このとき、第37(a)図の回路3701におけるネットaが不定になり、貫通電流I1が流れる可能性がある。同じく、第37(b)図の回路3702におけるネットdが不定となり、貫通電流I2が流れる可能性がある。しかし、第26(f)図の変換後ネットリスト58に対して、直流解析を実施すると、ネットaは、R1002及びR1003の作用によって、電源電圧AVDDと基準電位との間の中点の電圧に固定され、ネットdは、R1004及びR1005の作用によって、電源電圧VDDと基準電位との間の中点の電圧に固定されるため、従来の直流解析シミュレーションでは検出することが困難であった貫通電流I1及びI2が流れる。その他のネットにおいては、通常の直流動作点で動作する。

以上のように、本実施の形態6によれば、静止状態貫通電流検出対象回路のネットリストに対し、貫通電流が発生する疑いのある箇所抵抗を挿入するネットリスト変換処理を行った上で、MOSトランジスタの電流をモニタするようにしたので、通常の直流解析では検出が困難な、貫通電流が発生する可能性のある箇所を、容易に検出することが可能となる。

なお、本実施の形態6においては、上記実施の形態5で説明したネットリスト変換装置50がネットリスト変換部10に相当するものである場合を例に挙げて説明したが、上記ネットリスト変換部10が、上記実施の形態1～4に挙げたネットリスト変換装置10～40であっても、同様の効果が得られる。

(実施の形態7)

以下、第30図～第32図を用いて、本実施の形態7にかかる静止状態貫通電流検出装置200について説明する。

上記実施の形態6においては、静止状態貫通電流が発生する箇所を検索する場合について説明したが、本実施の形態7においては、さらに、ネットリストの静止状態時の全貫通電流を算出するものである。

まず、第30図を用いて、本実施の形態7にかかる静止状態貫通電流検出装置200の構成について説明する。第30図は、本実施の形態7における静止状態貫通電流検出装置の構成を示す図である。

第30図において、静止状態貫通電流検出装置200は、ネットリスト変換部30と、直流解析部101と、トランジスタ検索部102と、全貫通電流算出部201と、直流解析結果保持部103、電流貫通トランジスタデータベース104、及び全貫通電流保持部202を含むメモリ205と、からなるものである。

より詳細に述べると、上記ネットリスト変換部30は、静止状態貫通電流検出対象回路のネットリストに対し、貫通電流が発生する可能性のある箇所に抵抗を挿入するよう、該対象ネットリストを変換するものである。なお、本実施の形態7においては、全貫通電流を算出するものであるため、上記ネットリスト変換部30の構成は、例えば、上記ネットリスト変換処理において挿入した抵抗の数を求めている、上記実施の形態3～5に示すネットリスト変換装置に相当するものである。

そして、全貫通電流算出部201は、電源に流れる電流から、電源から基準電位間に挿入した抵抗素子を介して流れる電流を減算し、全貫通電流を算出するものであり、上記メモリ205内の全貫通電流保持部202は、上記全貫通電流算出部201により得た値を保持するものである。なお、そのほかの構成は、上記実施の形態6と同様であるため、ここでは説明を省略する。

以下、第31図及び第32図を用いて、上述した構成を有する本実施の形態7の静止状態貫通電流検出装置200の動作について説明する。なお、ここでは、上述した第37(a)、(b)図の両回路の静止状態貫通電流を検出するものとする。



第31図は、本実施の形態7にかかる静止状態貫通電流検出装置による、貫通電流検出処理の一連の流れを示す図であり、第32図は、第31図に示す貫通電流検出処理内の、全貫通電流算出処理の詳細な流れを示す図である。

まず、ユーザが、ネットリスト変換部30内のネットリスト指定部（図示せず）により静止状態貫通電流を検出する対象となる回路を指定すると、ネットリスト変換部30は、該指定された対象回路のネットリストに対し、ネットリスト変換を実施する（第31図のステップS1000）。この時、同時に挿入した抵抗の数をカウントして、ネットリスト変換部30内の抽出ネット数保持部32に保持しておく。この動作については、上記実施の形態3～5に示した通りであり、具体的に、上記実施の形態3、5では抽出ネット数を抽出ネット数保持部32に、また、上記実施の形態4では置換えトランジスタ数を置換えトランジスタ数保持部43に保持している。

そして、上記直流解析部101において、上記ネットリスト変換部30で変換されたネットリストについて直流解析を実施して直流解析結果を得、これをメモリ205内の直流解析結果保持部103に保持する（第31図のステップS2000）。なお、直流解析の動作については従来と同様であるため、説明を省略する。

そしてこの後、上記トランジスタ検索部102において、上記直流解析部101にて得られた直流解析結果により、貫通電流が発生する可能性のあるMOSトランジスタを検索して、その結果を、メモリ205内の電流貫通トランジスタデータベース104に保持していく（第31図のステップS3000）。なお、この処理については、上記実施の形態6において第29図を用いて説明したものと同様であるため、ここでは説明を省略する。

そして、上記全貫通電流算出部201において、上記ネット変換部30において得られた抽出ネット数あるいは置換えトランジスタ数と、上記直流解析部101において得られた直流解析結果に基づいて、全貫通電流を算出する（第31図のステップS4000）。

以下、第32図を用いて、全貫通電流算出処理について詳細に述べる。

まず、直流解析部101にて得られ、直流解析結果保持部103に保持された直流解析結果103より、電源－基準電位間に流れる電流を抽出する（第32図

- のステップS4100)。そして、上記ネットリスト変換部30において得た、閾値の異なるMOSトランジスタ毎の抽出ネット数もしくは、置き換えトランジスタ数を元に、電源－基準電位間に流れる電流から、挿入した抵抗素子を介して電源－基準電位間に流れる電流を減算して、全貫通電流を得る。つまり、閾値の異なるMOSトランジスタ毎に決められた電源毎に、(電源－基準電位間電流)－N \* (電源電圧 / (挿入抵抗値 \* 2)) を求めることで、ネットリスト変換部30によって挿入した抵抗素子に流れる電流の影響を受けない全貫通電流を得ることができる。ここで、Nは、 $\Sigma$  (サブサーキットXの数 \* サブサーキットX内で抽出されたネット数) [トップセルも含め、全サブサーキットにおいて算出] を表す。
- 10 このようにして得た全貫通電流は、全貫通電流保持部202に保持する。

次に、第26図に示すネットリストの例を用いて、実施の形態7にかかる静止状態貫通電流検出装置200の動作について更に詳しく説明する。

- まず、第26(a)図の対象ネットリストに対して、ネットリスト変換部30において、実施の形態5のネットリスト変換装置によってネットリスト変換を実施し、第26(f)図に示す変換後ネットリスト58が得られたとする。
- 15

- ここで、静止状態の貫通電流を検出する際に、OP1の制御信号ENABLE1、及びTBUF1の制御信号ENABLE2が“L”であったと仮定する。このとき、第37(a)図の回路3701におけるネットaが不定になり、貫通電流I1が流れる可能性がある。同じく、第37(b)図の回路3702におけるネットdが不定となり、貫通電流I2が流れる可能性がある。しかし、第26(f)図の変換後ネットリスト58に対して、直流解析を実施すると、ネットaは、R1002及びR1003の作用によって、電源電圧AVDDと基準電位との間の中点に固定され、ネットdは、R1004及びR1005の作用によって、電源電圧VDDと基準電位との間の中点の電圧に固定されるため、貫通電流I1及びI2が流れる。その他のネットにおいては、通常の直流動作点で動作する。
- 20
- 25

この結果、MOSトランジスタMP1、MN1、MP2、MN2のそれぞれの電流をモニタすることにより、従来の直流解析では検出できない貫通電流が発生する可能性のある箇所を容易に検出することが可能となる。

- さらに、全貫通電流算出部 201 のステップ S4100 において、電源 AVDD に流れる電流量が  $I_{AVDD}$ 、電源 VDD に流れる電流量が  $I_{VDD}$  と抽出されたと仮定する。この時、第 26 (e) 図に示されるように、電源 AVDD に関する抽出ネット数は、トップセルに関して“2”、サブサーキット OP に関して“2”、
- 5 また、サブサーキット OP の数“1”であり、同じく、電源 VDD に関する抽出ネット数は、トップセルに関して“2”であるため、この結果、全貫通電流は、電源 AVDD に関しては、 $(I_{AVDD} - (2 + 2 * 1) (AVDD / (100T * 2)))$ 、電源 VDD に関しては、 $(I_{VDD} - (2) (VDD / (100T * 2)))$  として求められる。
- 10 以上のように、本実施の形態 7 によれば、静止状態貫通電流検出対象回路のネットリストに対し、貫通電流が発生する疑いのある箇所に抵抗を挿入するネットリスト変換処理を行った上で、MOS トランジスタの電流をモニタするようにしたので、通常の直流解析では検出が困難な、貫通電流が発生する可能性のある箇所を、容易に検出することが可能となる。
- 15 また、本実施の形態 7 によれば、上記検出対象回路のネットリスト内に発生する貫通電流を算出することができる。

(実施の形態 8)

以下、第 33 図～第 36 図を用いて、本実施の形態 8 にかかる静止状態貫通電流検出装置 300 について説明する。

- 20 上記実施の形態 6 においては、静止状態貫通電流が発生する箇所を検索する場合について説明したが、本実施の形態 8 においては、上記貫通電流が発生する箇所をグラフに表示するものである。

- まず、第 33 図を用いて、本実施の形態 8 にかかる静止状態貫通電流検出装置 300 の構成について説明する。第 33 図は、本実施の形態 8 における静止状態
- 25 貫通電流検出装置の構成を示す図である。

第 33 図において、静止状態貫通電流検出装置 300 は、ネットリスト変換部 10 と、直流解析部 101 と、 $|IDS|$  ヒストグラム作成部 301 と、直流解析結果保持部 103、及びトランジスタ  $|IDS|$  データベース 302 を含むメモリ 305 と、からなるものである。

より詳細に述べると、上記ネットリスト変換部 10 は、静止状態貫通電流検出対象回路のネットリストに対し、貫通電流が発生する可能性のある箇所に抵抗を挿入するよう、該ネットリストを変換するものであり、その構成は、上記実施の形態 1～5 に示す通りである。そして、上記 |IDS| ヒストグラム作成部 301 は、直流解析部 101 において得られた直流解析結果より、MOS トランジスタの |IDS| ヒストグラムを作成するものである。そして、メモリ 305 内のトランジスタ |IDS| データベース 302 は、上記 |IDS| ヒストグラム作成部 301 において得た MOS トランジスタの |IDS| を保持するものである。なお、そのほかの構成については、上記実施の形態 6 と同様であるため、ここでは説明を省略する。

以下、第 34 図～第 36 図を用いて、上述した構成を有する本実施の形態 8 の静止状態貫通電流検出装置 300 の動作について説明する。なお、ここでは、上述した第 37 (a), (b) 図の両回路の静止状態貫通電流を検出するものとする。

第 34 図は、本実施の形態 8 にかかる静止状態貫通電流検出装置による、貫通電流検出処理の一連の流れを示す図であり、第 35 図は、第 34 図に示す貫通電流検出処理内の、|IDS| ヒストグラム作成処理の詳細な流れを示す図である。そして第 36 (a) 図は、|IDS| ヒストグラム作成部によって得られるトランジスタ |IDS| データベースを示す図であり、第 36 (b) 図は、第 36 (a) 図のデータベースにより得られるヒストグラムを示す図である。

まず、ユーザが、ネットリスト変換部 10 内のネットリスト指定部 (図示せず) により静止状態貫通電流を検出する対象となる回路を指定すると、ネットリスト変換部 10 は、該指定された対象回路のネットリストに対し、ネットリスト変換を実施する (第 34 図のステップ S1000)。この動作については、上記実施の形態 1～5 に示した通りである。

そして、直流解析部 101 において、上記ネットリスト変換部 10 で変換されたネットリストについて直流解析を実施して直流解析結果を得、これをメモリ 105 内の直流解析結果保持部 103 に保持する (第 34 図のステップ S2000)。なお、直流解析の動作については従来と同様であるため、説明を省略する。

そしてこの後、上記直流解析部101より得られた直流解析結果を元に、上記  
|IDS|ヒストグラム作成部301により、MOSトランジスタの|IDS|  
のヒストグラムを得る（第34図のステップS5000）。

以下、第35図を用いて、上記|IDS|のヒストグラム作成処理について詳  
5 細に述べる。

まず、上記直流解析部101で得られた直流解析結果よりトランジスタを検索  
する（第35図のステップS5100）。そして、検索されたトランジスタの|I  
DS|を、メモリ305内のトランジスタ|IDS|データベース302に追加  
する（第35図のステップS5200）。

10 この後、上記ステップS5100～5200における直流解析結果のトランジ  
スタの検索が終了したか否かを判定し（第35図のステップS5300）、トラン  
ジスタの検索が終了したならば処理を終了し、そうでなければ上記ステップS5  
100に戻り、上述した処理を繰り返す。

そして、トランジスタ|IDS|データベース302より、|IDS|のヒス  
15 トグラムを作成し、これを出力する（第35図のステップS5400）。

次に、第26図に示すネットリストの例を用いて、本実施の形態8の静止状態  
貫通電流検出装置300の動作について更に詳しく説明する。なお、ここでは、  
ネットリスト変換部10が実施の形態5に示すネットリスト変換装置であるもの  
として説明する。

20 まず、第26（a）図の対象ネットリストに対して、ネットリスト変換部10  
において、実施の形態5のネットリスト変換装置によってネットリスト変換を実  
施し、第26（f）図に示す変換後ネットリストが得られたとする。

ここで、静止状態の貫通電流を検出する際に、OP1の制御信号ENABLE  
1、及びTBUF1の制御信号ENABLE2が“L”であったと仮定する。こ  
25 のとき、第37（a）図の回路3701におけるネットaが不定になり、貫通電  
流I1が流れる可能性がある。同じく、第37（b）図の回路3702における  
ネットdが不定となり、貫通電流I2が流れる可能性がある。

しかし、第26（f）図の変換後ネットリストに対して直流解析を実施すると、  
ネットaは、R1002及びR1003の作用によって、電源電圧AVDDと基

準電位との間の midpoint の電圧に固定され、ネット d は、R 1 0 0 4 及び R 1 0 0 5 の作用によって、電源電圧 VDD と基準電位との間の midpoint の電圧に固定されるため、貫通電流 I 1 及び I 2 が流れる。その他のネットにおいては、通常の直流動作点で動作する。

- 5      そして、例えば、MOS トランジスタ MP 1 の  $|IDS|$  及び MN 1 の  $|IDS|$  が  $20\mu A$ 、MP 2 の  $|IDS|$  及び MN 2 の  $|IDS|$  が  $5\mu A$ 、その他のトランジスタの  $|IDS|$  が  $1nA$  であったとすると、このとき、 $|IDS|$  ヒストグラム作成部 3 0 1 によって得られるトランジスタ  $|IDS|$  データベース 3 0 2 は、第 3 6 (a) 図に示すものとなり、さらに、このとき得られるヒストグラムは第 3 6 (b) 図に示すものとなる。

このように、各 MOS トランジスタの  $|IDS|$  を  $|IDS|$  ヒストグラムより表すことにより、視覚的にどの MOS トランジスタで貫通電流が発生する可能性があるかを確認することが可能となる。

- 15      以上のように、実施の形態 8 によれば、静止状態貫通電流検出対象回路のネットリストに対し、貫通電流が発生する疑いのある箇所抵抗を挿入するネットリスト変換処理を行った上で、MOS トランジスタの電流をモニタするようにしたので、通常の直流解析では検出が困難な、貫通電流が発生する可能性のある箇所を、容易に検出することが可能となる。また、本実施の形態 8 によれば、上記  $|IDS|$  ヒストグラム作成部 3 0 1 により、MOS トランジスタの  $|IDS|$  を、  
20       $|IDS|$  ヒストグラムにより表すようにしたので、貫通電流が発生する可能性のある箇所を視覚的に検出することが可能となる。

なお、上述した全ての実施の形態で説明した各ステップの順序は、上記の通りでなくとも、同じ効果が得られる場合、その順序は問わない。

- 25      また、上記各実施の形態で説明した抽出ネットデータベース 1 4、抵抗素子名データベース 1 6、抽出ネット数保持部 3 2 などの記述は、各図に示す通りでなくとも、同じ効果が得られる場合、その表記方法は問わない。

さらに、上記各実施の形態においては、ネットリストに挿入される抵抗素子の抵抗値を  $100T$  としているが (第 5 (c) 図等参照)、他の回路の動作に支障をきたさない程度の高抵抗 (数  $GOhm$  ~ 数百  $TOhm$  程度) であれば、この値に

よらない。

さらに、上記各実施の形態では、ネットリスト変換装置、あるいは静止状態貫通電流検出装置として説明したが、上記装置によるネットリスト変換処理、あるいは静止状態貫通電流検出処理をコンピュータにより自動的に行わせるプログラムを生成し、上記検出対象回路に対して、コンピュータで自動的に、ネットリスト変換処理、あるいは静止状態貫通電流検出処理を行うようにしてもよい。

5

#### 産業上の利用可能性

本発明のネットリスト変換装置及び静止状態貫通電流検出装置は、低消費電力のシステム開発を容易にし、携帯端末の長時間駆動、省エネルギーを実現させるのに有用である。

10

## 請求の範囲

1. 静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定ステップと、
- 5 上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、  
上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、  
ことを特徴とするネットリスト変換方法。
- 10 2. 請求の範囲第1項に記載のネットリスト変換方法において、  
15 上記ネット抽出ステップは、上記検出対象ネットリスト内のMOSトランジスタを検出するMOSトランジスタ検出ステップと、  
上記検出したMOSトランジスタのゲート端子に接続されているネットを検出し、該検出されたネットを上記抽出ネットデータベースに保持するネット検出ステップと、  
20 上記検出対象ネットリスト内の抵抗素子を検出し、該検出された抵抗素子の抵抗素子名を抵抗素子名データベースに保持する抵抗素子検出ステップと、を含む、  
ことを特徴とするネットリスト変換方法。
3. 請求の範囲第2項に記載のネットリスト変換方法において、  
上記MOSトランジスタ検出ステップは、上記検出対象ネットリスト内に含まれる各行の先頭文字が“M”であるか否かを検出し、該行の先頭文字が“M”であれば、該行はMOSトランジスタに関し記載するものであると判定する、  
25 ことを特徴とするネットリスト変換方法。
4. 請求の範囲第2項に記載のネットリスト変換方法において、  
上記ネット検出ステップは、上記MOSトランジスタ検出ステップにより上記



MOSトランジスタに関する記載であると判定された行から、該MOSトランジスタのゲート端子に接続されているネットを検出し、

上記行の第6文字列のMOSトランジスタのモデル名より、上記MOSトランジスタの閾値を判定し、

- 5      上記MOSトランジスタの閾値毎に設けた抽出ネットデータベースの、対応する閾値のデータベースに、上記MOSトランジスタのゲート端子に接続されているネットを保持する、

ことを特徴とするネットリスト変換方法。

5.    請求の範囲第2項に記載のネットリスト変換方法において、

- 10    上記抵抗素子検出ステップは、上記検出対象ネットリスト内に含まれる各行の先頭文字が“R”であるか否かを検出し、該行の先頭文字が“R”であれば、該行は抵抗素子に関し記載するものであると判定し、

上記抵抗素子に関し記載するものであると判定された行の第1文字列を、上記抵抗素子の抵抗素子名として抽出し、

- 15    該抽出した上記抵抗素子の抵抗素子名を、上記抵抗素子名データベースに保持する、

ことを特徴とするネットリスト変換方法。

6.    請求の範囲第1項に記載のネットリスト変換方法において、

- 20    上記抵抗挿入ステップは、上記抵抗素子名データベースを検索して、唯一の抵抗素子名であるものとなる新たな抵抗素子名を作成し、

上記作成された新たな抵抗素子名の抵抗素子を、上記閾値の異なるMOSトランジスタ毎に設けた各抽出ネットデータベースに保持されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該保持されているネットと基準電位との間を結ぶように、ネットリストに追加し、

- 25    該追加した上記抵抗素子の上記抵抗素子名を、上記抵抗素子名データベースに追加する、

ことを特徴とするネットリスト変換方法。

7.    請求の範囲第1項に記載のネットリスト変換方法において、

上記ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジス

タ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除ステップを含み、

- 5      上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複しているネットが削除された上記抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記MOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである、  
ことを特徴とするネットリスト変換方法。

- 10    8.    請求の範囲第7項に記載のネットリスト変換方法において、  
上記重複ネット削除ステップは、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを読み込み、

該読み込んだ抽出ネットデータベース内に格納されているネットを辞書順に並び替え、

- 15    該並び替えた抽出ネットデータベース内を先頭より検索し、検索対象のネットと等しいネットを削除する、

ことを特徴とするネットリスト変換方法。

9.    請求の範囲第1項に記載のネットリスト変換方法において、

- 20    上記閾値の異なるMOSトランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネット数をカウントするネット数カウントステップを含む、

ことを特徴とするネットリスト変換方法。

10.   静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定ステップと、

- 25    上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、

上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含む、

ことを特徴とするネットリスト変換方法。

1 1. 請求の範囲第10項に記載のネットリスト変換方法において、

上記サブサーキット置換えステップにより、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウントステップを含む、

ことを特徴とするネットリスト変換方法。

1 2. 請求の範囲第10項に記載のネットリスト変換方法において、

上記サブサーキット置換えステップは、上記検出対象ネットリスト内のMOSトランジスタを検出し、

10 該検出したMOSトランジスタに関して記載されている行の第6文字列のMOSトランジスタのモデル名より、該MOSトランジスタの閾値及び種類を判定し、  
上記検出したMOSトランジスタの記載を、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置換え、

15 該置き換えたサブサーキットの行の第1文字列の先頭に“X”を追加すると共に、該行に、上記サブサーキットに置き換える前の上記MOSトランジスタの記載の第2、第3、第4、第5文字列の、“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなる接続情報、及び“W：チャネル幅”、“L：チャネル長”、“M：マルチプライヤ”からなるパラメータ情報を記載する、

ことを特徴とするネットリスト変換方法。

20 1 3. 請求の範囲第10項に記載のネットリスト変換方法において、

上記サブサーキット追加ステップは、上記検出対象ネットリストに上記サブサーキット情報を追加するものであり、

25 該サブサーキット情報は、上記サブサーキットに置き換えたMOSトランジスタの閾値及び種類に応じたMOSトランジスタと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源との間、及び該MOSトランジスタのゲート端子と基準電圧との間に挿入される抵抗素子と、を含むものである、

ことを特徴とするネットリスト変換方法。

1 4. 静止状態時の貫通電流の検出対象となるネットリストを指定するネッ

トリスト指定ステップと、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出ステップと、

- 5      上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出ステップと、

- 10      上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、

ことを特徴とするネットリスト変換方法。

- 15      15.      請求の範囲第14項に記載のネットリスト変換方法において、  
上記第2ネット抽出ステップは、上記検出対象ネットリスト内に含まれる各行の先頭文字が“X”であるか否かを検出し、該行の先頭文字が“X”であれば、該行はサブサーキットに関し記載するものであると判定する、

ことを特徴とするネットリスト変換方法。

- 20      16.      請求の範囲第14項に記載のネットリスト変換方法において、  
上記第1ネット抽出ステップ、及び第2ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除ステップを含み、

- 25      上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである、

ことを特徴とするネットリスト変換方法。

17. 請求の範囲第16項に記載のネットリスト変換方法において、

上記閾値の異なるMOSトランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該各抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウントステップを含む、

5     ことを特徴とするネットリスト変換方法。

18. 請求の範囲第14項に記載のネットリスト変換方法において、

上記第2ネット抽出ステップにより抽出されたサブサーキットと、特定のサブサーキットが登録されているサブサーキットデータベースとを比較する比較ステップを含み、

10     上記抵抗挿入ステップは、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入すると共に、

15     上記検出対象ネットリスト内の、上記第2ネット抽出ステップにより抽出されたサブサーキットのうち、上記比較ステップにおいて上記サブサーキットデータベースに登録されていると判定されたサブサーキットに含まれるネット以外のネットと電源との間、及び該ネットと基準電圧との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する、

20     ことを特徴とするネットリスト変換方法。

19. 静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定部と、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出部と、

25     上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であ

るものとなる抵抗素子を挿入する抵抗挿入部と、を備える、

ことを特徴とするネットリスト変換装置。

20. 請求の範囲第19項に記載のネットリスト変換装置において、

5 上記ネット抽出部により抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除部を備え、

10 上記抵抗挿入部は、上記重複ネット削除部により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記MOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する、

ことを特徴とするネットリスト変換装置。

21. 請求の範囲第19項に記載のネットリスト変換装置において、

15 上記閾値の異なるMOSトランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウント部を備える、

ことを特徴とするネットリスト変換装置。

22. 静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定部と、

20 上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換え部と、上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加部と、を備える、

ことを特徴とするネットリスト変換装置。

25 23. 請求の範囲第22項に記載のネットリスト変換装置において、

上記サブサーキット置換え部により、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウント部を備える、

ことを特徴とするネットリスト変換装置。

24. 静止状態時の貫通電流の検出対象となるネットリストを指定するネットリスト指定部と、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出部と、

上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出部と、

上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出部及び第2ネット抽出部において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入部と、を備える、

ことを特徴とするネットリスト変換装置。

25. 請求の範囲第24項に記載のネットリスト変換装置において、

上記第1ネット抽出部、及び第2ネット抽出部により抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除部を備え、

上記抵抗挿入部は、上記重複ネット削除部により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出部及び第2ネット抽出部において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する、

ことを特徴とするネットリスト変換装置。

26. 請求の範囲第24項に記載のネットリスト変換装置において、

上記閾値の異なるMOSトランジスタ毎に設けた上記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウント部を備える、

ことを特徴とするネットリスト変換装置。

27. 静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第1項、請求の範囲第10項、または請求の範囲第14項のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

- 5 上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、

上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、を含む、

- 10 ことを特徴とする静止状態貫通電流検出方法。

28. 請求の範囲第27項に記載の静止状態貫通電流検出方法において、

上記トランジスタ検索ステップは、上記直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタに流れる電流 $|I_{ds}|$ が、予め設定した電流閾値 $I_{th}$ を超えるか否かを判定し、

- 15 上記電流 $|I_{ds}|$ が上記電流閾値 $I_{th}$ を超えるMOSトランジスタを電流貫通MOSトランジスタとして、電流貫通MOSトランジスタデータベースに保持する、

ことを特徴とする静止状態貫通電流検出方法。

- 20 29. 静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第9項、請求の範囲第11項、または請求の範囲第17項のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、

- 25 上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、

上記検出対象ネットリストの全貫通電流を算出する全貫通電流算出ステップと、を含む、

ことを特徴とする静止状態貫通電流検出方法。



30. 請求の範囲第29項に記載の静止状態貫通電流検出方法において、

上記全貫通電流算出ステップは、上記直流解析結果、及び抽出ネットデータベース内に含まれるネットの数、もしくはサブサーキットに置き換えられたMOSトランジスタの数を元に、上記MOSトランジスタの閾値毎に決められた電源、

- 5 及び基準電位間に流れる電流から、(抽出ネット数 \* ((電源電圧 - 基準電位) / (挿入抵抗値 \* 2))), もしくは、(置き換えトランジスタ数 \* ((電源電圧 - 基準電位) / (挿入抵抗値 \* 2))) を減算するものである、

ことを特徴とする静止状態貫通電流検出方法。

31. 静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第10 1項、請求の範囲第10項、または請求の範囲第14項のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

- 上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタの貫通電流 |  $I_{ds}$  | に関するヒストグラムを作成するヒストグラム作成ステップと、を含む、

- 15 ことを特徴とする静止状態貫通電流検出方法。

32. 静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第19項、請求の範囲第22項、または請求の範囲第24項のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換部と、

- 20 上記ネットリスト変換部で得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析部と、

上記直流解析部で得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索部と、を備える、

- 25 ことを特徴とする静止状態貫通電流検出装置。

33. 静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第21項、請求の範囲第23項、または請求の範囲第26項のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換部と、

上記ネットリスト変換部で得られる変換後ネットリストに対して直流解析を施

し、直流解析結果を得る直流解析部と、

上記直流解析部で得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索部と、

- 5      上記検出対象ネットリストの全貫通電流を算出する全貫通電流算出部と、を備える、

ことを特徴とする静止状態貫通電流検出装置。

- 3 4.    静止状態時の貫通電流の検出対象となるネットリストを、請求の範囲第1 9項、請求の範囲第2 2項、または請求の範囲第2 4項のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換部と、
- 10

上記ネットリスト変換部で得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタの貫通電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成部と、を備える、

- 15      ことを特徴とする静止状態貫通電流検出装置。

3 5.    コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、

上記ネットリスト変換プログラムは、

- 20      上記検出対象ネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、

- 25      上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、

ことを特徴とするプログラム。

36. コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、

上記ネットリスト変換プログラムは、

- 5      上記検出対象ネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、

- 10     上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含む、

ことを特徴とするプログラム。

37. コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、

- 15     上記ネットリスト変換プログラムは、

上記検出対象ネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出ステップと、

- 20     上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出ステップと、

上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット

- 25     抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、

ことを特徴とするプログラム。

38. コンピュータに、静止状態時の貫通電流の検出対象となるネットリス

トに対して静止状態貫通電流検出処理を実行させるための静止状態貫通電流検出プログラムであって、

上記静止状態貫通電流検出プログラムは、

- 5    上記検出対象ネットリストを、請求の範囲第1項、請求の範囲第10項、または請求の範囲第14項のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、

- 10    上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、を含む、

ことを特徴とするプログラム。

39.    コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対して静止状態貫通電流検出処理を実行させるための静止状態貫通電流検出プログラムであって、

上記静止状態貫通電流検出プログラムは、

上記検出対象ネットリストを、請求の範囲第9項、請求の範囲第11項、または請求の範囲第17項のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

- 20    上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、

上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、貫通電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、

- 25    上記検出対象ネットリストの全貫通電流を算出する全貫通電流算出ステップと、を含む、

ことを特徴とするプログラム。

40.    コンピュータに、静止状態時の貫通電流の検出対象となるネットリストに対して静止状態貫通電流検出処理を実行させるための静止状態貫通電流

検出プログラムであって、

上記静止状態貫通電流検出プログラムは、

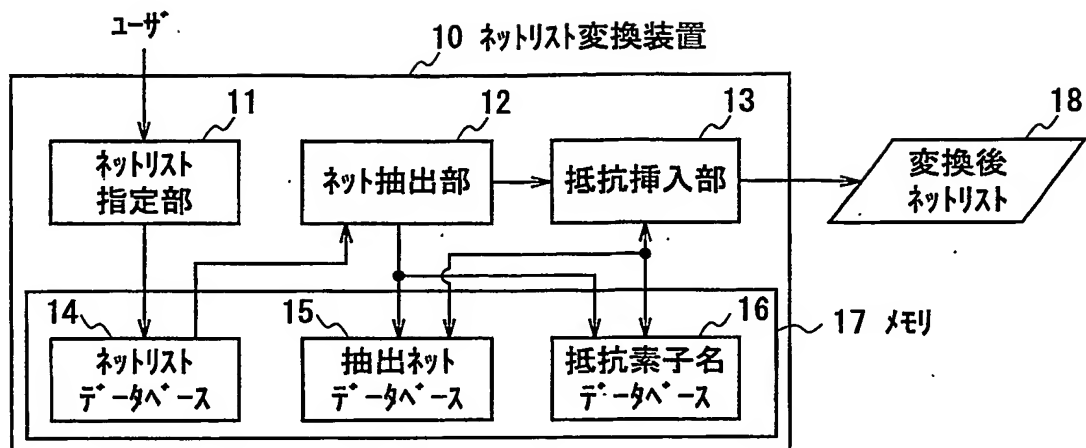
上記検出対象ネットリストを、請求の範囲第1項、請求の範囲第10項、または請求の範囲第14項のいずれかに記載のネットリスト変換方法で、ネットリス

5 ト変換するネットリスト変換ステップと、

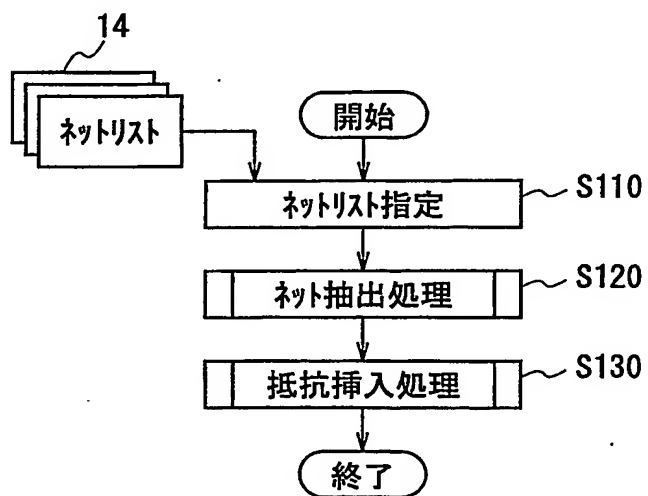
上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタの貫通電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成ステップと、を含む、

10 ことを特徴とするプログラム。

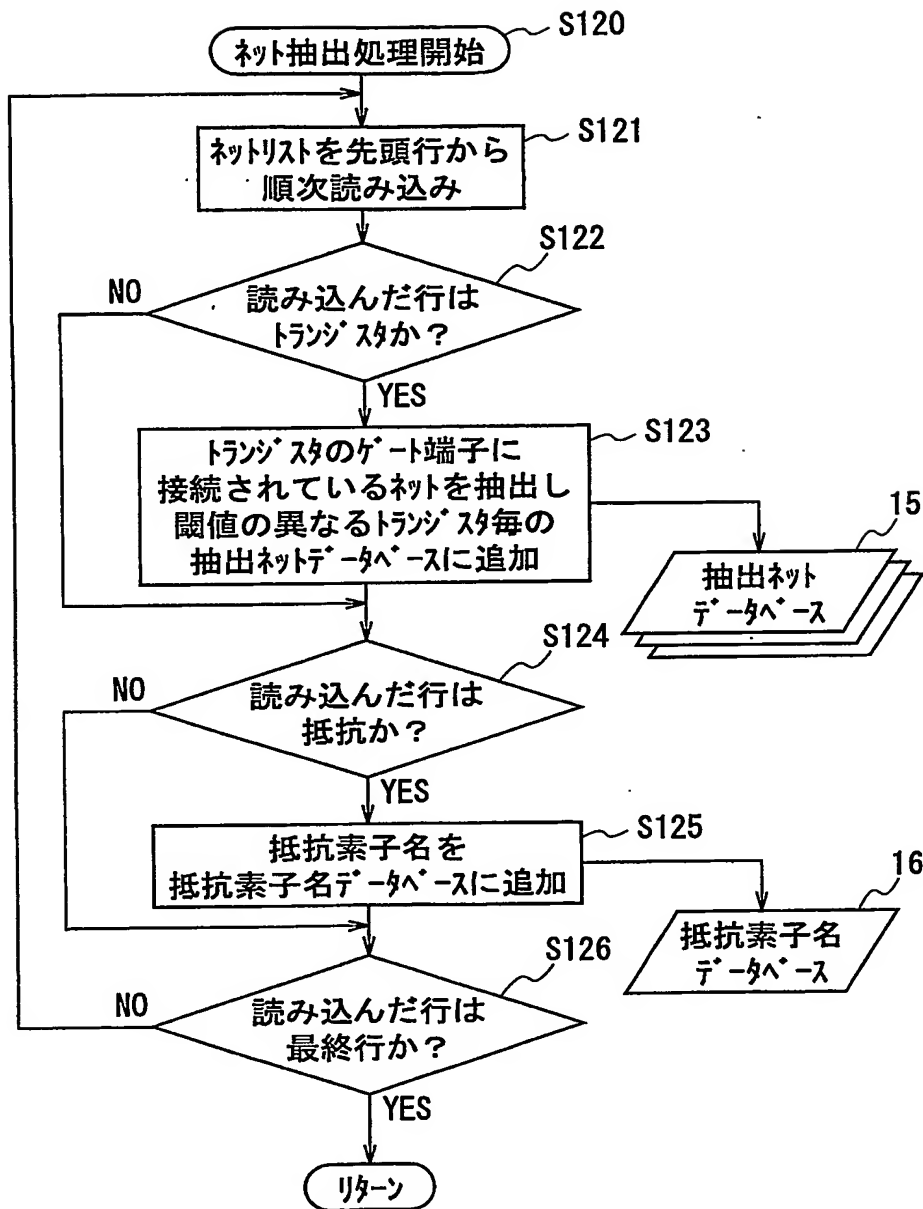
第1図



第2図

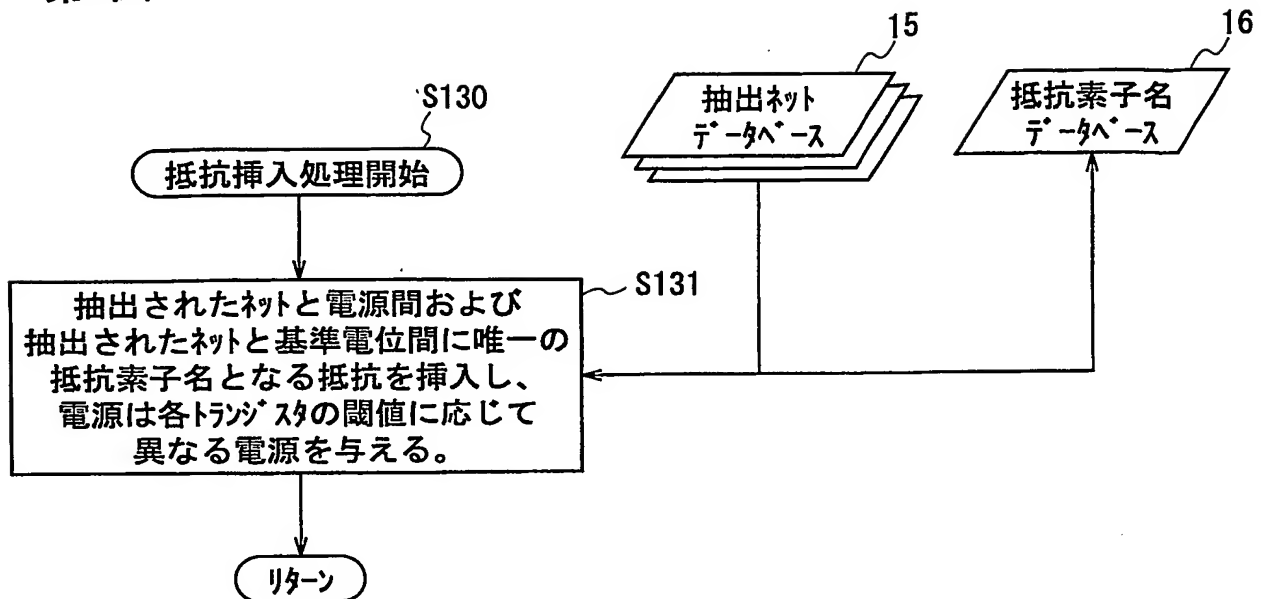


## 第3図



3/31

第4図



第5(a) 図

対象ネットリスト

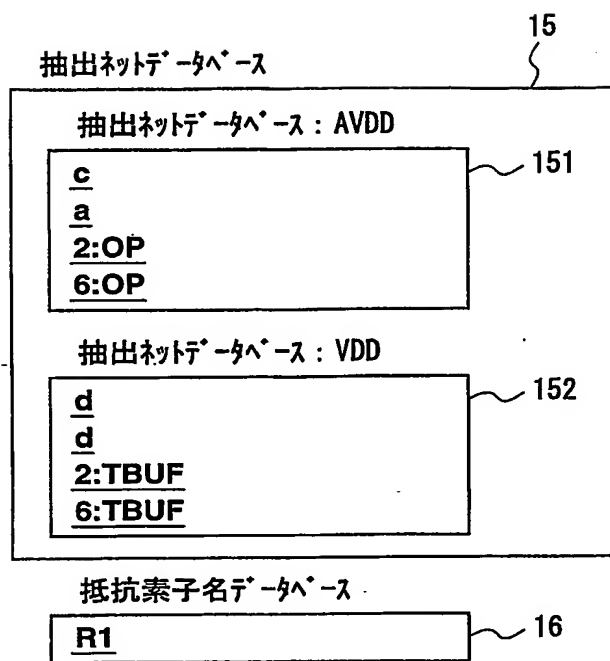
```

1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0    nchhvt l=1u w=5u
3.  R1  b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  MP2 DOUT d VDD VDD pchlvt l=1u w=2u
7.  MN2 DOUT d 0    0    nchlvt l=1u w=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11. MP01 1 2 3 4 pchhvt l=1u w=5u
12. MN01 5 6 7 8 nchhvt l=1u w=5u
13.      :
14. .END OP
15.
16. .SUBCKT TBUF IN OUT E
17. MP01 1 2 3 4 pchlvt l=1u w=2u
18. MN01 5 6 7 8 nchlvt l=1u w=1u
19.      :
20. .END TBUF
21.
22. .end
  
```

Figure 5(a) shows a netlist for a target circuit. The netlist is enclosed in a box with reference numeral 14. It lists 22 components and their connections, including transistors (MP1, MN1, MP2, MN2), resistors (R1), and subcircuits (XOP1, XTBUF1, OP, TBUF). The components are defined with their respective parameters, such as gate, drain, and source connections, and their physical properties (length, width, threshold voltage, etc.).



## 第5(b)図



5/31

## 第5(c)図

変換後ネットリスト

18

```

1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0      nchhvt l=1u w=5u
3.  R1   b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  MP2 DOUT d VDD VDD pchlvt l=1u w=2u
7.  MN2 DOUT d 0    0    nchlvt l=1u w=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11. MP01 1 2 3 4 pchhvt l=1u w=5u
12. MN01 5 6 7 8 nchhvt l=1u w=5u
13.      :
14. R0P000 2 AVDD 100T
15. R0P001 2 0      100T
16. R0P002 6 AVDD 100T
17. R0P003 6 0      100T
18. .END OP
19.
20. .SUBCKT TBUF IN OUT E
21. MP01 1 2 3 4 pchlvt l=1u w=2u
22. MN01 5 6 7 8 nchlvt l=1u w=1u
23.      :
24. RTBUF000 2 VDD 100T
25. RTBUF001 2 0      100T
26. RTBUF002 6 VDD 100T
27. RTBUF003 6 0      100T
28. .END TBUF
29.
30. R1000 c AVDD 100T
31. R1001 c 0      100T
32. R1002 a AVDD 100T
33. R1003 a 0      100T
34. R1004 d VDD 100T
35. R1005 d 0      100T
36. R1006 d VDD 100T
37. R1007 d 0      100T
38.
39. .end

```

抵抗素子名デフォルト

16'

```

R1
R0P000:OP
R0P001:OP
R0P002:OP
R0P003:OP
RTBUF000:TBUF
RTBUF001:TBUF
RTBUF002:TBUF
RTBUF003:TBUF
R1000
R1001
R1002
R1003
R1004
R1005
R1006
R1007

```

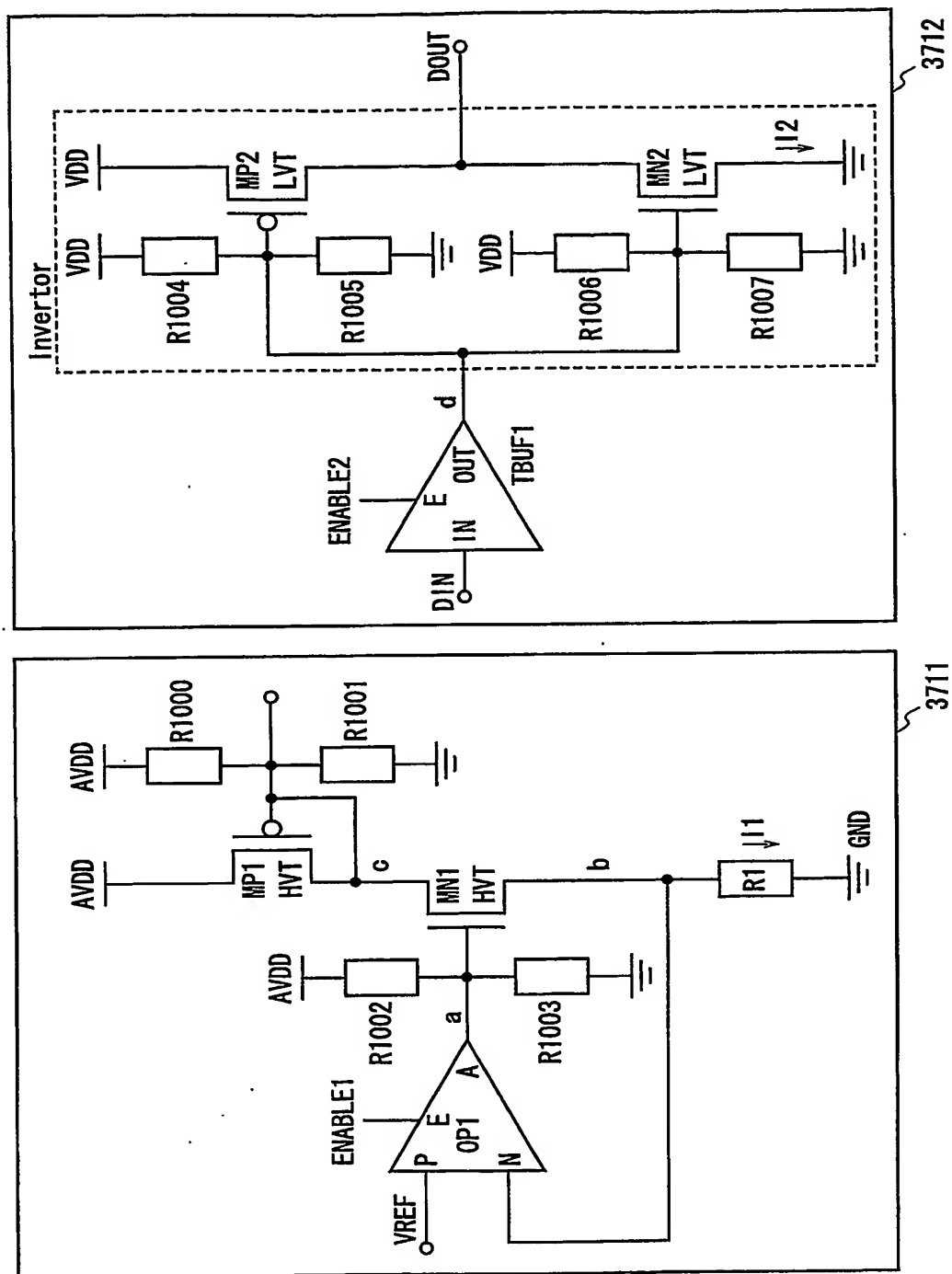
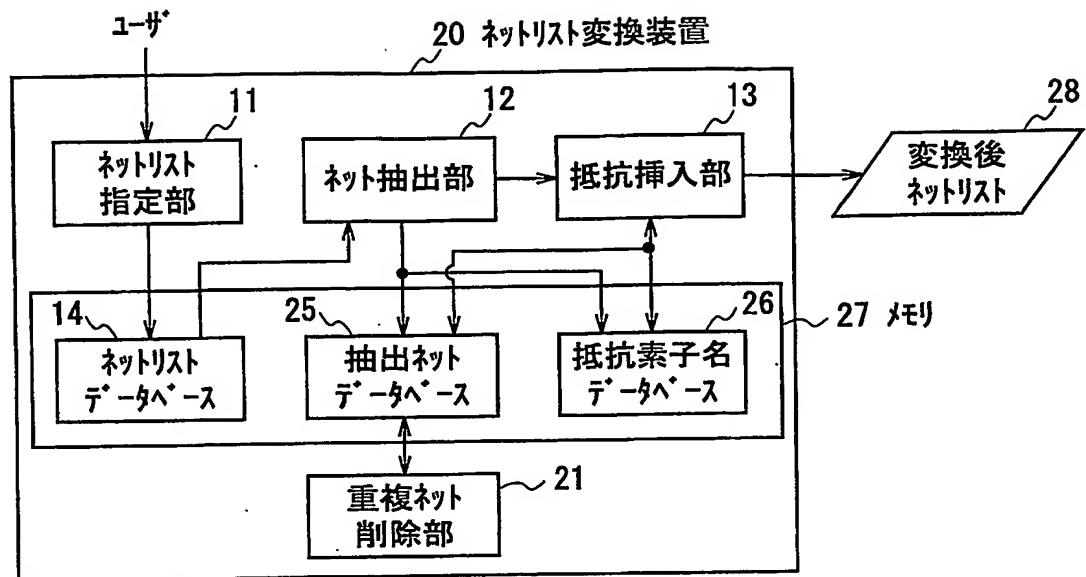


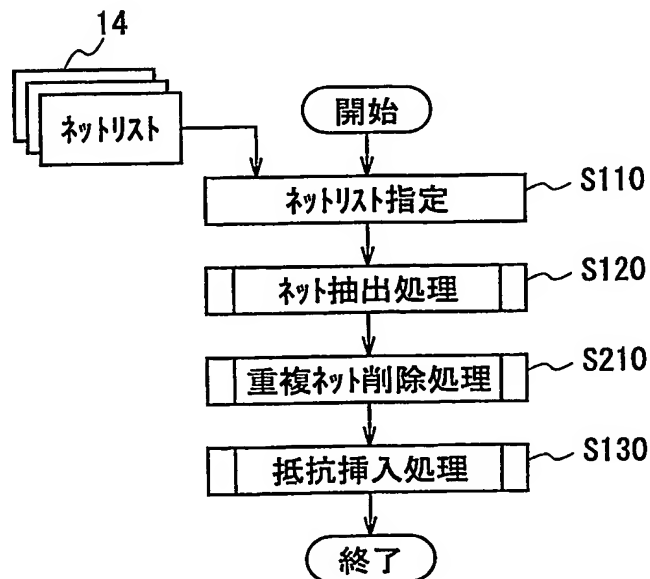
図 6

7/31

第7図

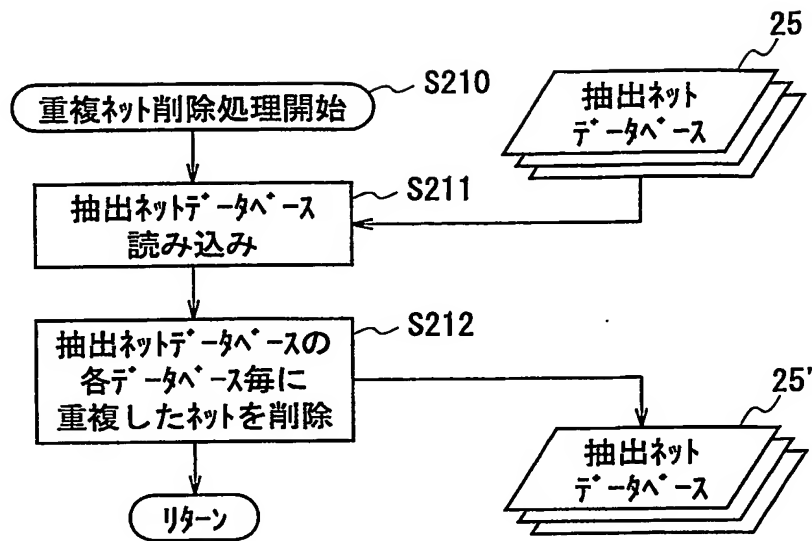


第8図

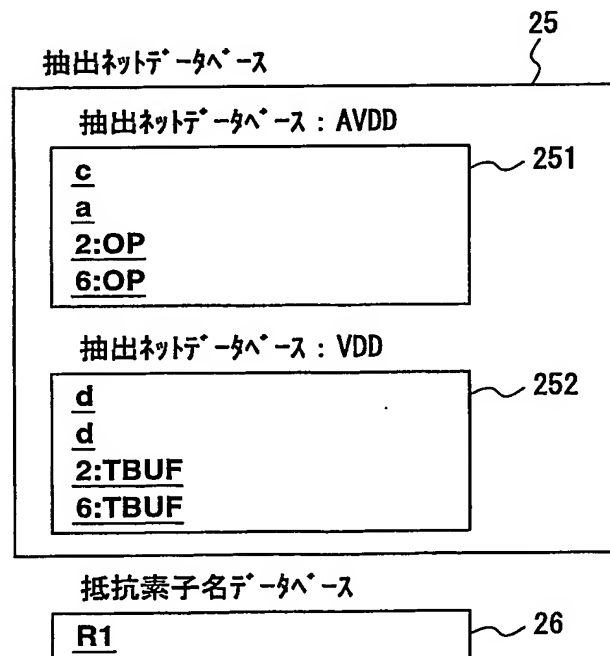


8/31

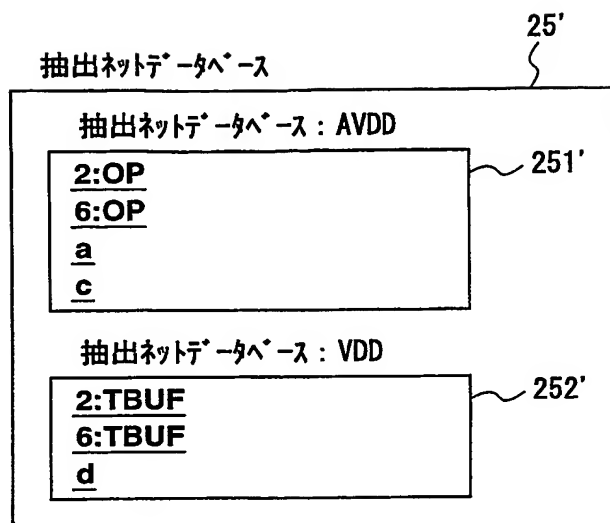
第9図



第10(a)図



## 第10(b)図



10/31

## 第10(c) 図

変換後ネットリスト

28

```

1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0      nchhvt l=1u w=5u
3.  R1   b 0 10k
4.  XOP1 VREF b. a ENABLE1 OP
5.
6.  MP2 DOUT d VDD VDD pchlvt l=1u w=2u
7.  MN2 DOUT d 0      0      nchlvt l=1u w=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11. MP01 1 2 3 4 pchhvt l=1u w=5u
12. MN01 5 6 7 8 nchhvt l=1u w=5u
13. :
14. R0P000 2 AVDD 100T
15. R0P001 2 0      100T
16. R0P002 6 AVDD 100T
17. R0P003 6 0      100T
18. .END OP
19.
20. .SUBCKT TBUF IN OUT E
21. MP01 1 2 3 4 pchlvt l=1u w=2u
22. MN01 5 6 7 8 nchlvt l=1u w=1u
23. :
24. RTBUF000 2 VDD 100T
25. RTBUF001 2 0      100T
26. RTBUF002 6 VDD 100T
27. RTBUF003 6 0      100T
28. .END TBUF
29.
30. R1000 c AVDD 100T
31. R1001 c 0      100T
32. R1002 a AVDD 100T
33. R1003 a 0      100T
34. R1004 d VDD 100T
35. R1005 d 0      100T
36.
37. .end

```

26'

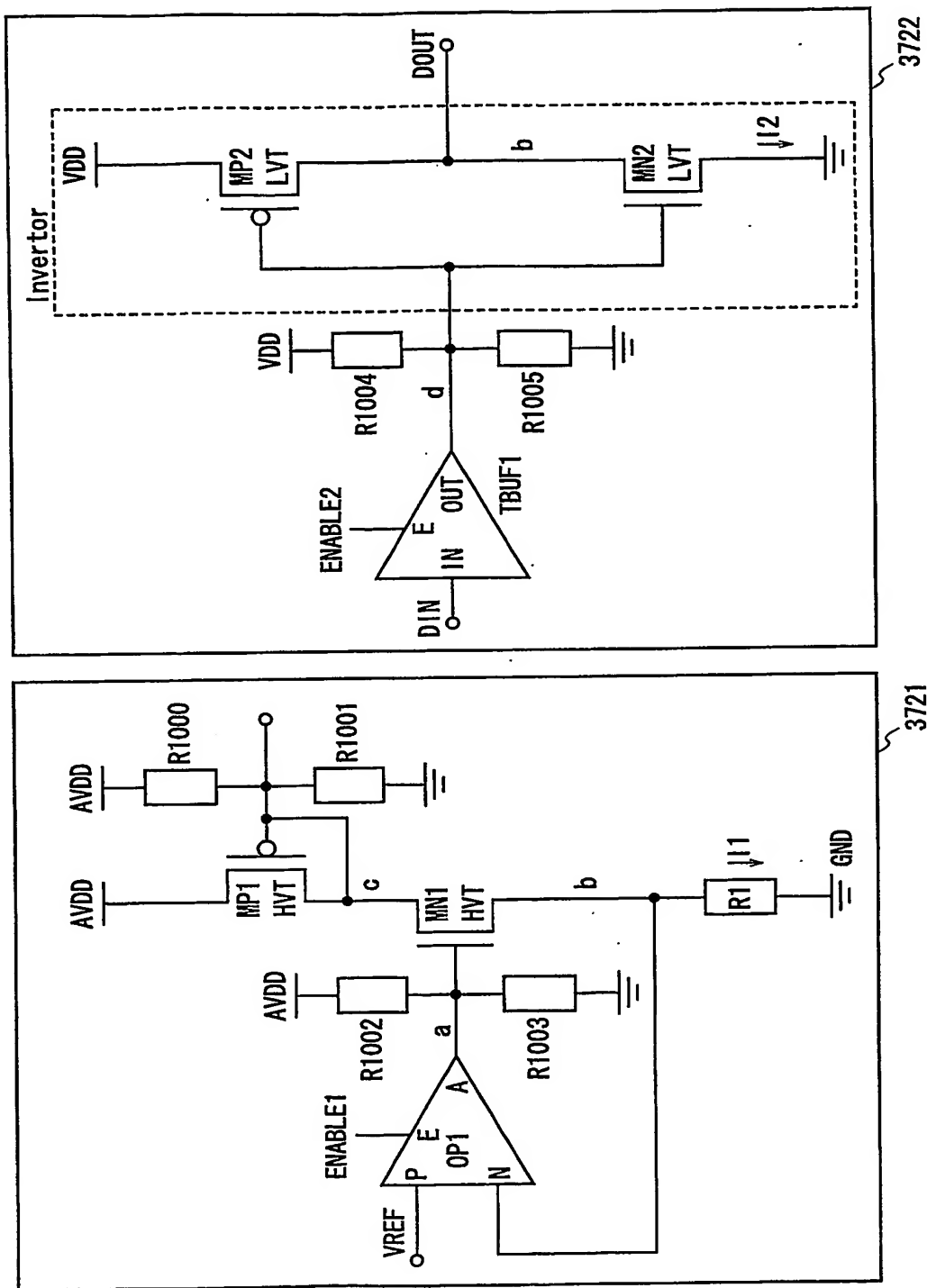
抵抗素子名データヘッダ

```

R1
R0P000:OP
R0P001:OP
R0P002:OP
R0P003:OP
RTBUF000:TBUF
RTBUF001:TBUF
RTBUF002:TBUF
RTBUF003:TBUF
R1000
R1001
R1002
R1003
R1004
R1005

```

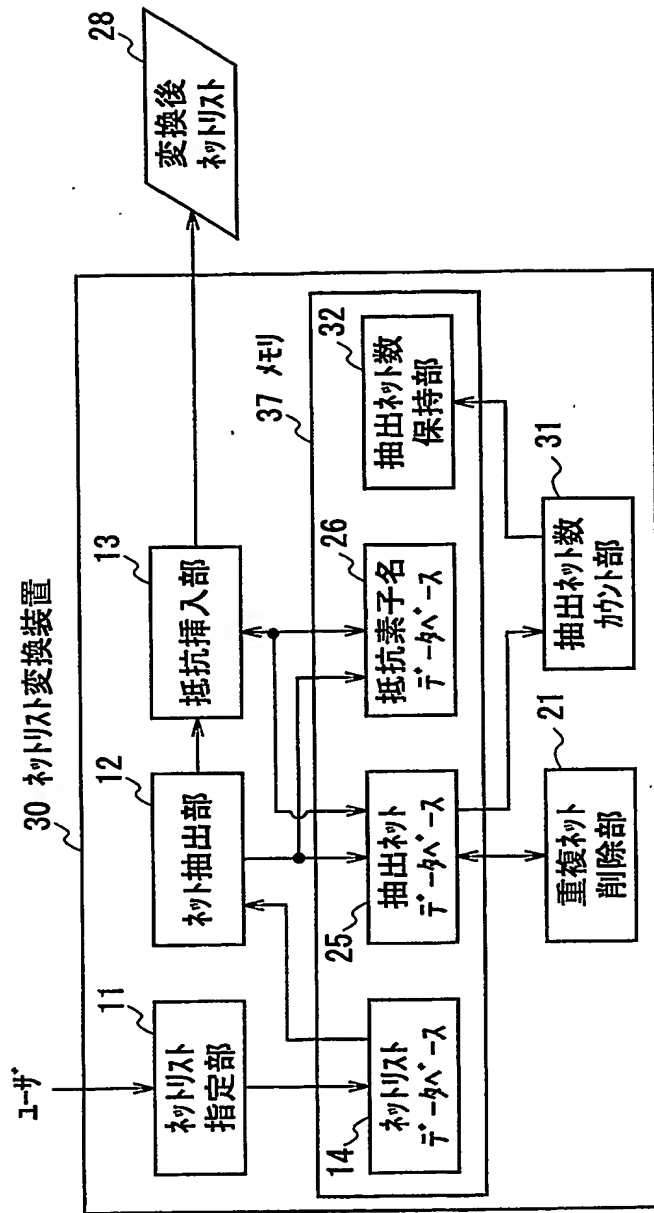
第11図





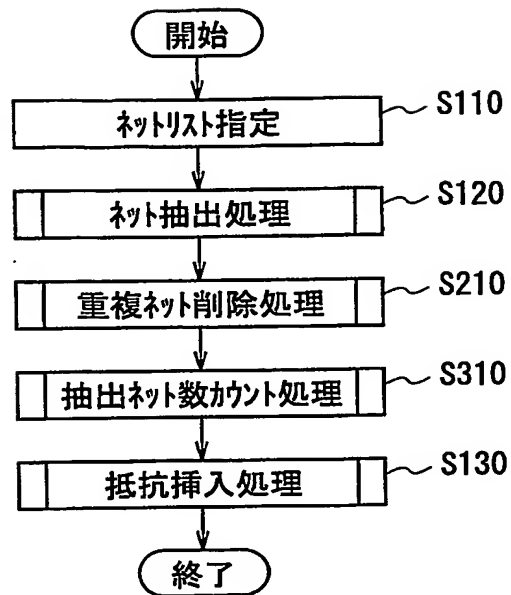
12/31

第12図

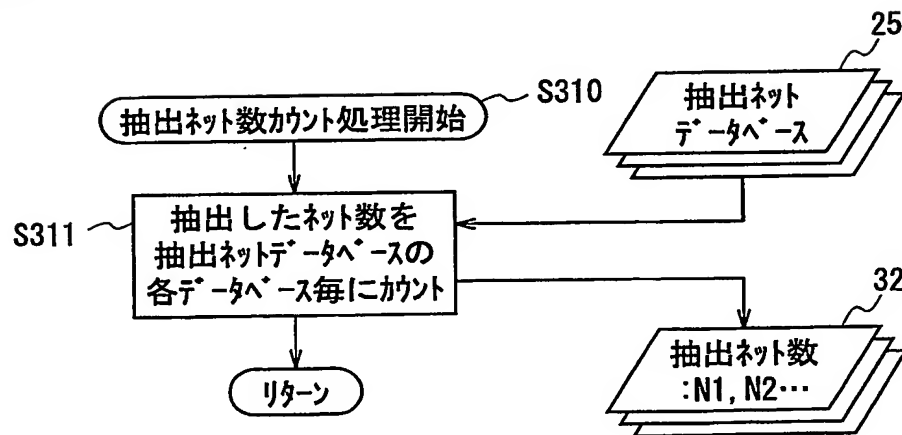


13/31

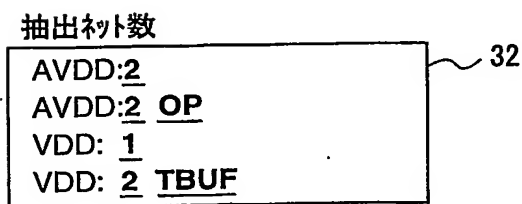
第13図



第14図



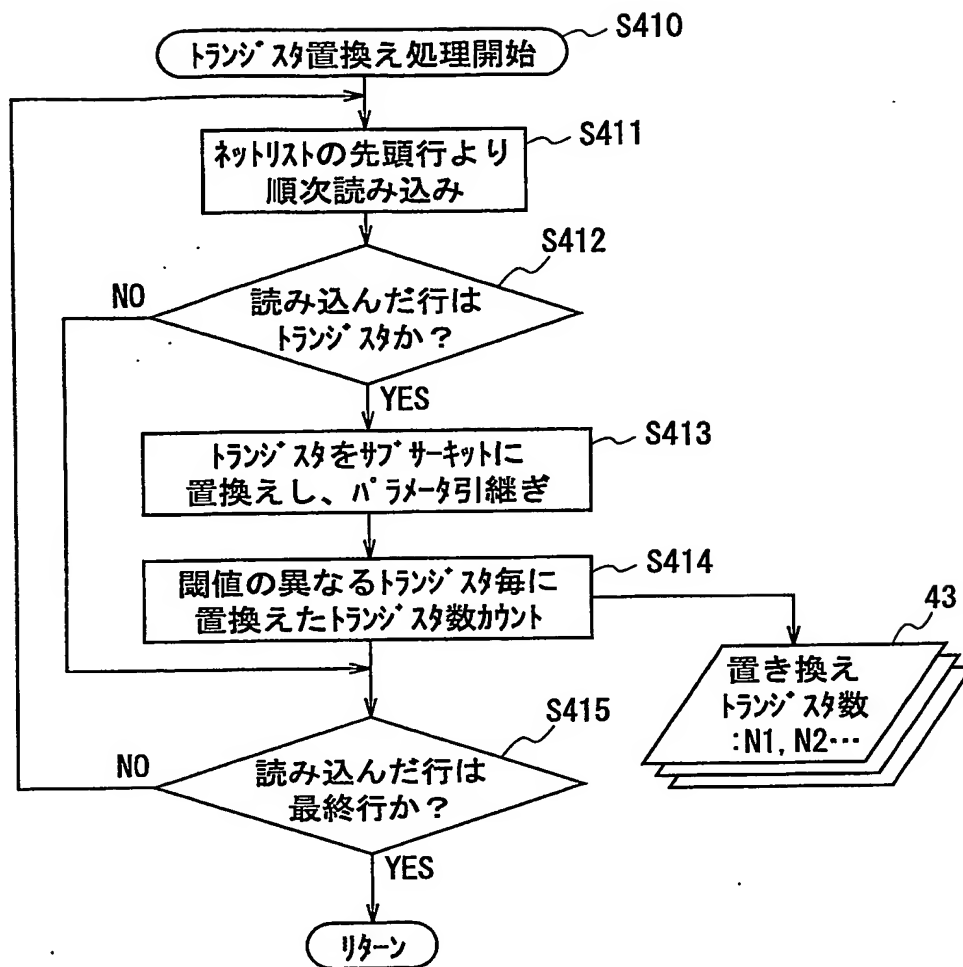
第15図



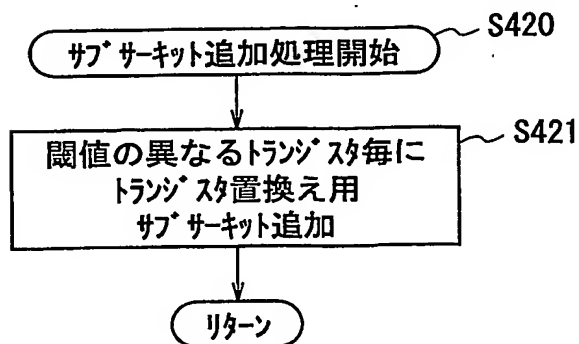


15/31

第18図



第19図



## 第20図

変換後ネットリスト

```

1.  XMP1 c c AVDD AVDD PHVT PARAMS:LPH=1u, WPH=5u
2.  XMN1 c a b 0 NHVT PARAMS:LNH=1u, WNH=5u
3.  R1 b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  XMP2 DOUT d VDD VDD PLVT PARAMS:LPL=1u, WPL=2u
7.  XMN2 DOUT d 0 0 NLVT PARAMS:LNL=1u, WNL=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11. XMP01 1 2 3 4 PHVT PARAMS:LPH=1u, WPH=5u
12. XMN01 5 6 7 8 NHVT PARAMS:LNH=1u, WNH=5u
13. :
14. .END OP
15.
16. .SUBCKT TBUF IN OUT E
17. XMP01 1 2 3 4 PLVT PARAMS:LPH=1u, WPH=2u
18. XMN01 5 6 7 8 NLVT PARAMS:LNH=1u, WNH=1u
19. :
20. .END TBUF
21.
22. .SUBCKT PHVT D G S B PARAMS:LPH=1u, WPH=1u
23. MPH D G S B pchhvt l=LPH w=WPH
24. RPH1 G AVDD 100T
25. RPH2 G 0 100T
26. .END PHVT
27.
28. .SUBCKT NHVT D G S B PARAMS:LNH=1u, WNH=1u
29. MNH D G S B nchhvt l=LNH w=WNH
30. RNH1 G AVDD 100T
31. RNH2 G 0 100T
32. .END NHVT
33.
34. .SUBCKT PLVT D G S B PARAMS:LPL=1u, WPL=1u
35. MPL D G S B pchlvt l=LPL w=WPL
36. RPL1 G VDD 100T
37. RPL2 G 0 100T
38. .END PLVT
39.
40. .SUBCKT NLVT D G S B PARAMS:LNL=1u, WNL=1u
41. MNL D G S B nchlvt l=LNL w=WNL
42. RNL1 G VDD 100T
43. RNL2 G 0 100T
44. .END NLVT
45.
46. .end

```

48

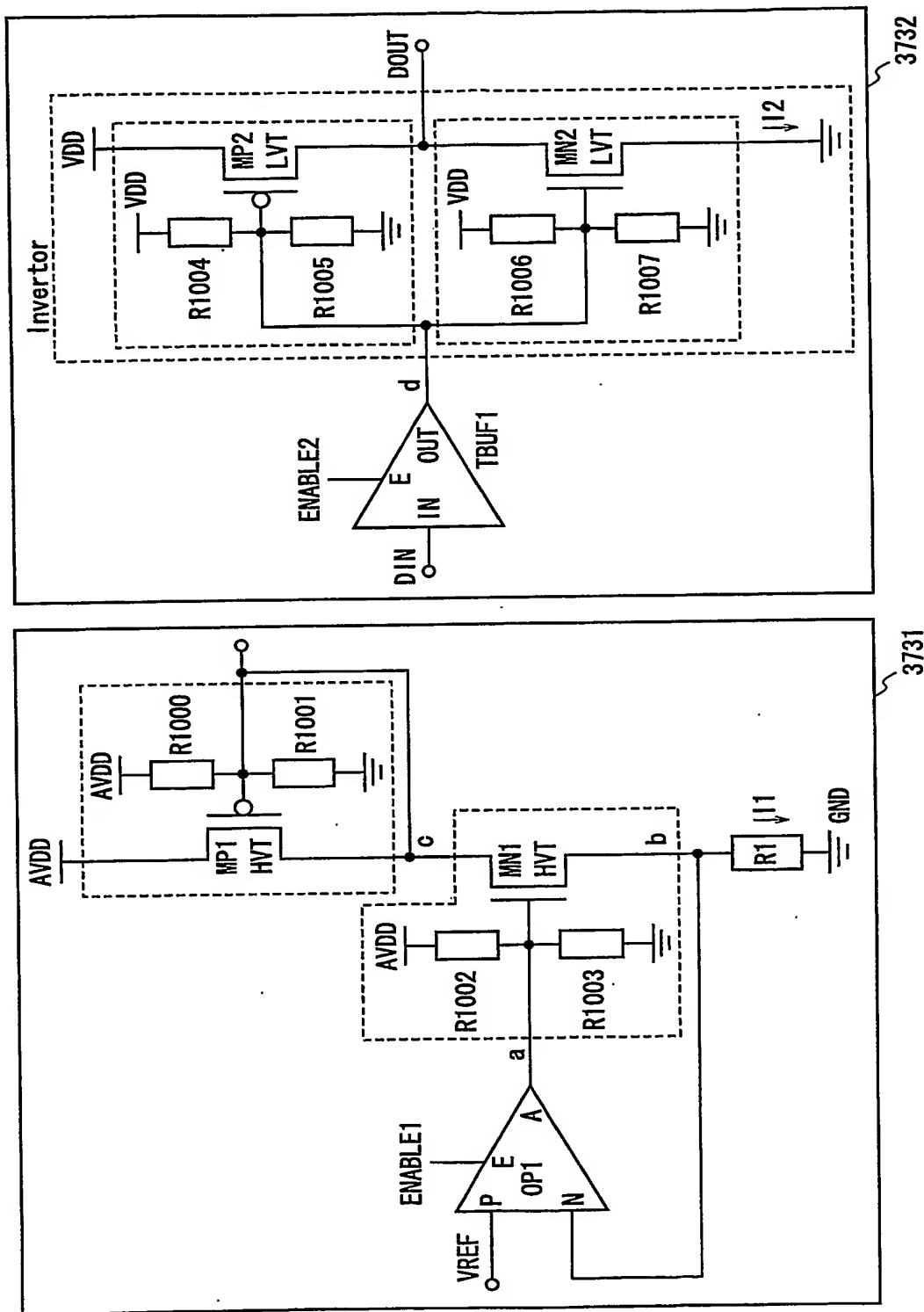
置き換え  
トランジスタ数

43

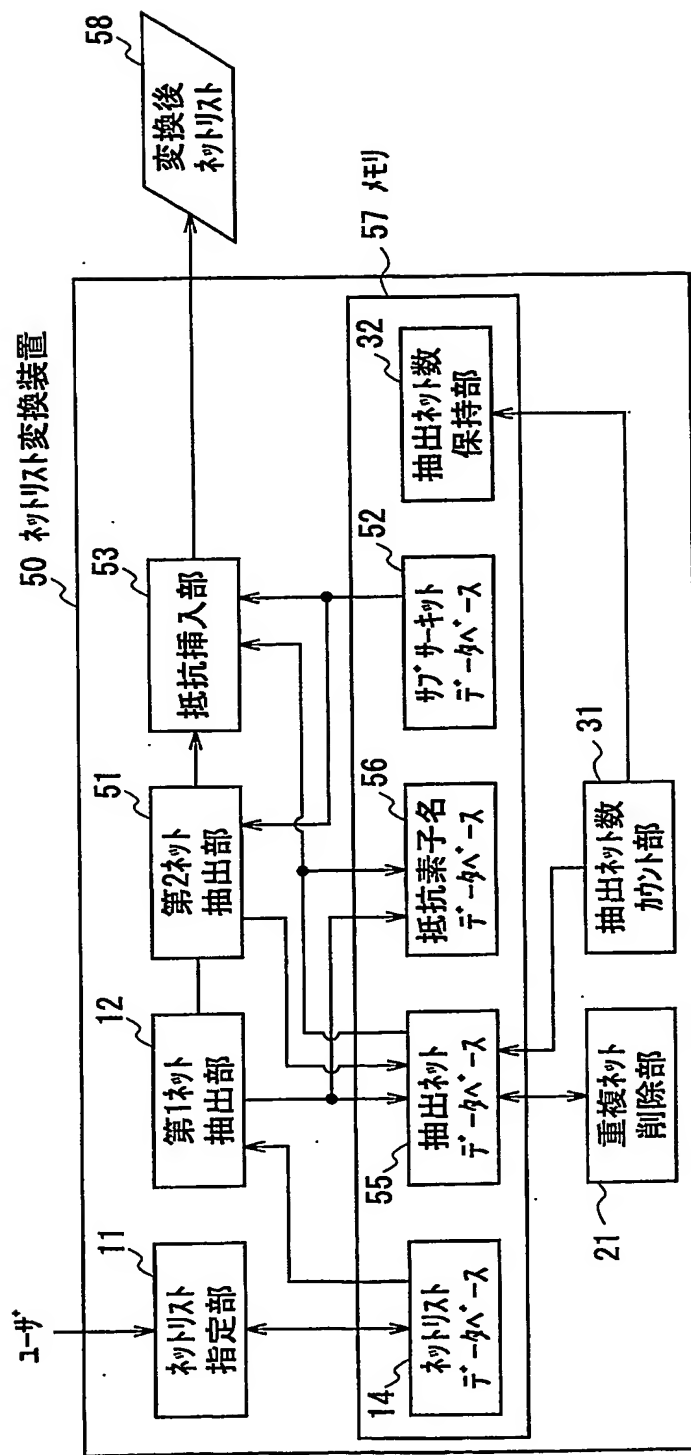
AVDD:2
AVDD:2 OP:1
VDD: 2
VDD: 2 TBUF:1

17/31

第21図

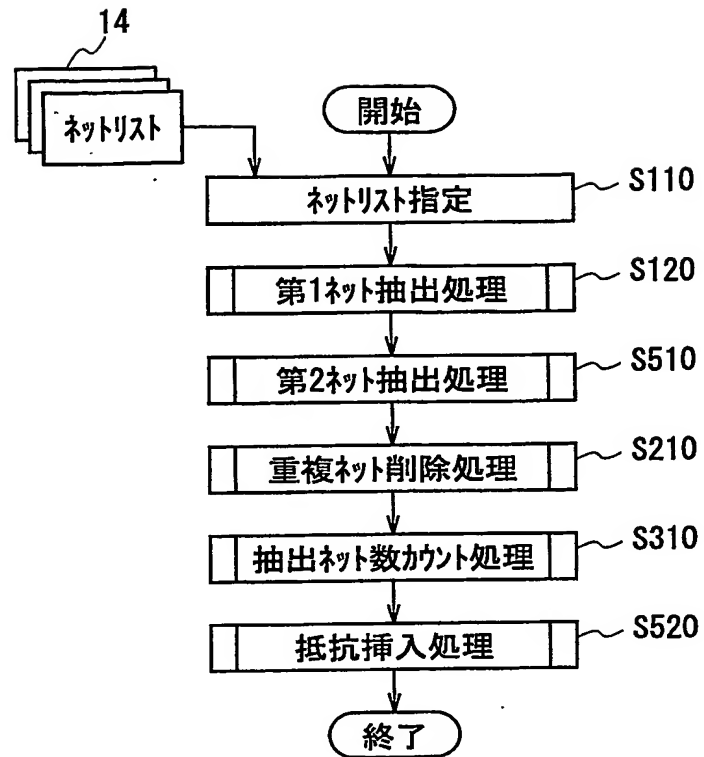


第22図



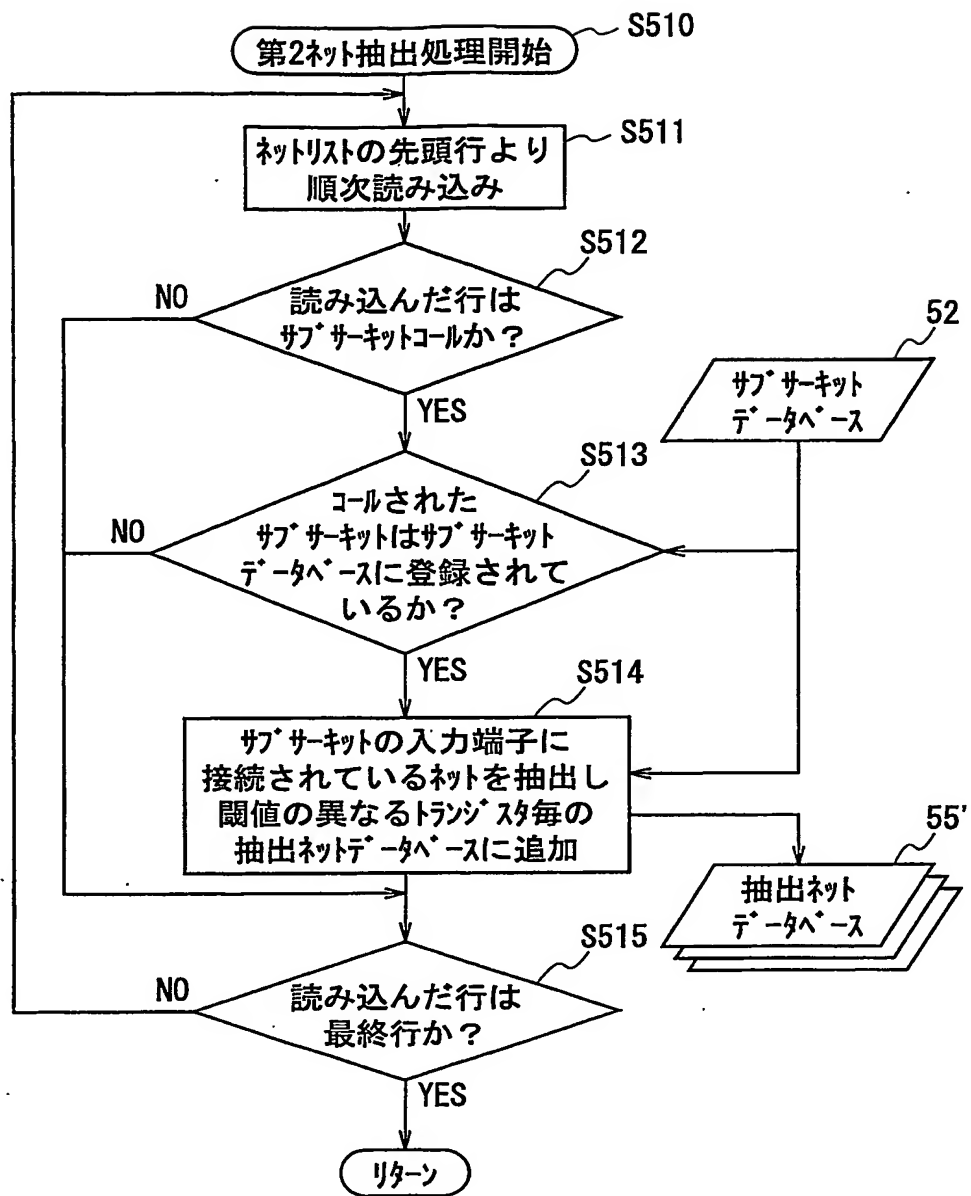
19/31

第23図

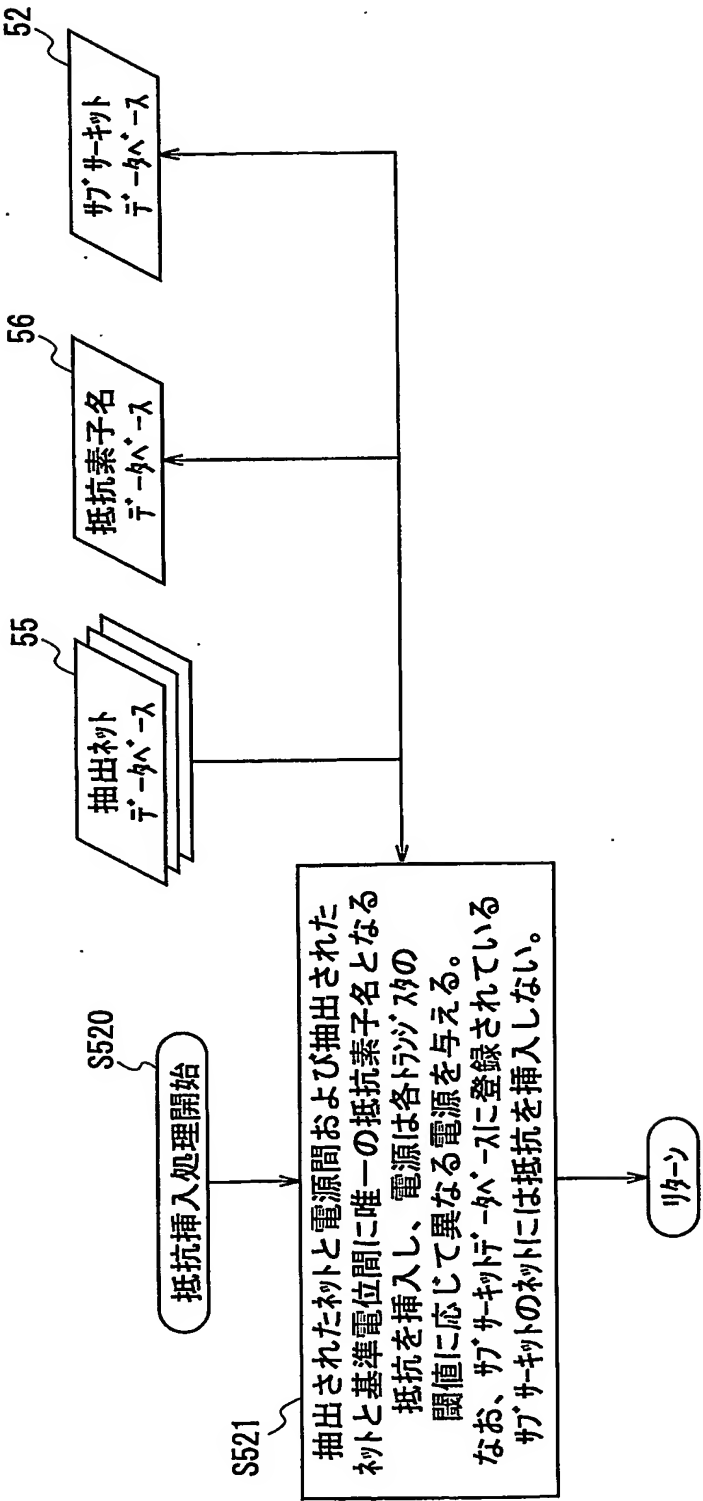




第24図



第25図



22/31

## 第26(a) 図

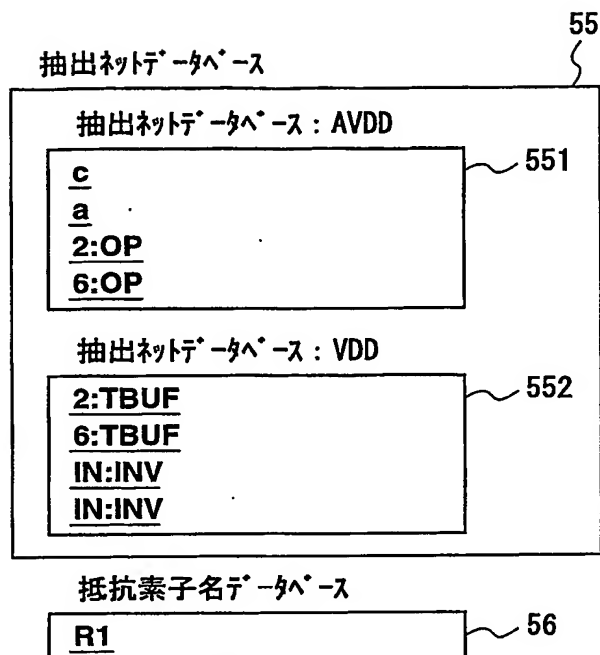
対象リスト

```

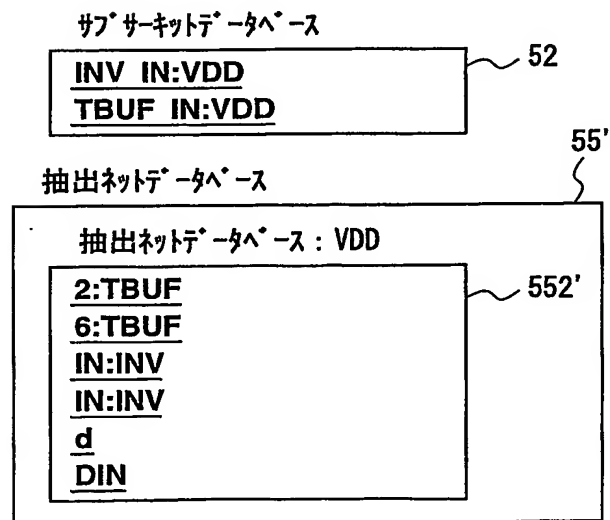
1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0      nchhvt l=1u w=5u
3.  R1   b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  XINV1 d DOUT INV
7.  XTBUF1 DIN d ENABLE2 TBUF
8.
9.  .SUBCKT OP P N A E
10. MP01 1 2 3 4 pchlvt l=1u w=5u
11. MN01 5 6 7 8 nchlvt l=1u w=5u
12.      :
13. .END OP
14.
15. .SUBCKT TBUF IN OUT E
16. MP01 1 2 3 4 pchlvt l=1u w=2u
17. MN01 5 6 7 8 nchlvt l=1u w=1u
18.      :
19. .END TBUF
20.
21. .SUBCKT INV IN OUT
22. MP2 OUT IN VDD VDD pchlvt l=1u w=2u
23. MN2 OUT IN 0      0      nchlvt l=1u w=1u
24. .END INV
25.
26. .end

```

第26 (b) 図

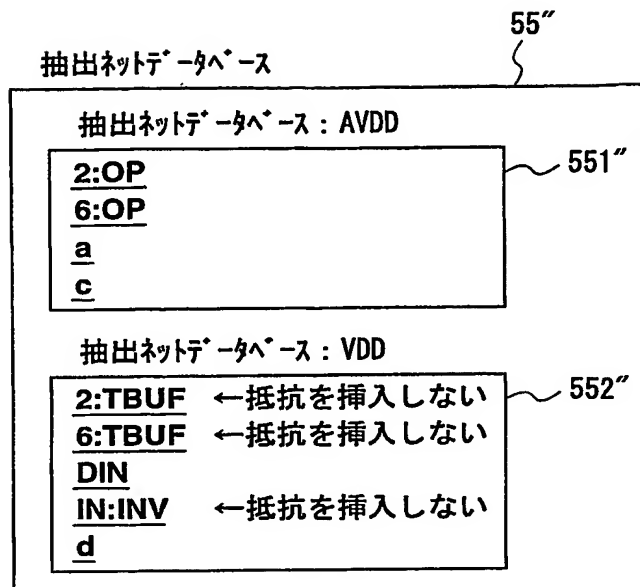


第26 (c) 図

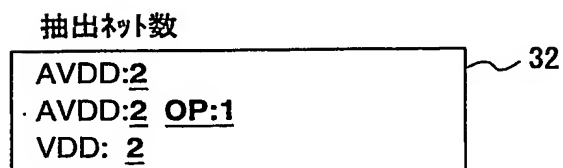


24/31

第26(d) 図



第26(e) 図



25/31

## 第26(f)図

変換後リスト

58

```

1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0      nchhvt l=1u w=5u
3.  R1   b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  XINV1 d DOUT INV
7.  XTBUF1 DIN d ENABLE2 TBUF
8.
9.  .SUBCKT OP P N A E
10. MP01 1 2 3 4 pchhvt l=1u w=5u
11. MN01 5 6 7 8 nchhvt l=1u w=5u
12.      :
13. R0P000 2 AVDD 100T
14. R0P001 2 0      100T
15. R0P002 6 AVDD 100T
16. R0P003 6 0      100T
17. .END OP
18.
19. .SUBCKT TBUF IN OUT E
20. MP01 1 2 3 4 pchlvt l=1u w=2u
21. MN01 5 6 7 8 nchlvt l=1u w=1u
22.      :
23. .END TBUF
24.
25. .SUBCKT INV IN OUT
26. MP2 DOUT d VDD VDD pchlvt l=1u w=2u
27. MN2 DOUT d 0      0      nchlvt l=1u w=1u
28. .END INV
29.
30. R1000 c AVDD 100T
31. R1001 c 0      100T
32. R1002 a AVDD 100T
33. R1003 a 0      100T
34. R1004 d VDD 100T
35. R1005 d 0      100T
36. R1006 DIN VDD 100T
37. R1007 DIN 0      100T
38.
39. .end

```

56'

抵抗素子名テーブル

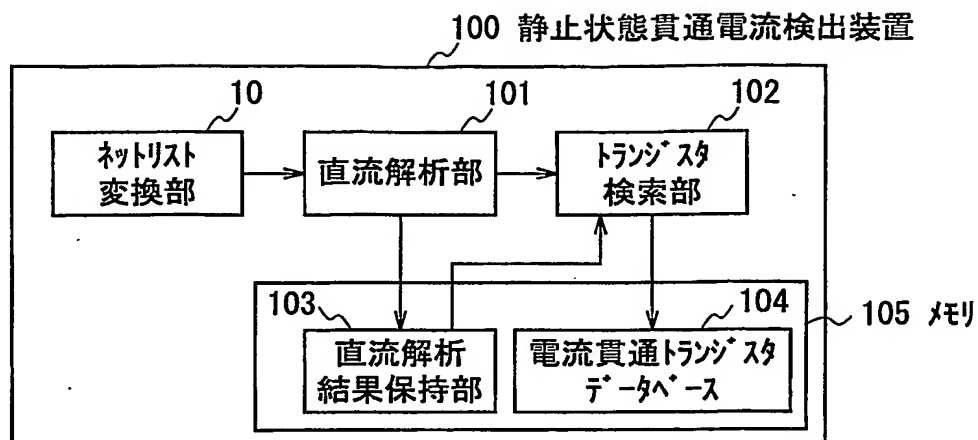
```

R1
R0P000:OP
R0P001:OP
R0P002:OP
R0P003:OP
R1000
R1001
R1002
R1003
R1004
R1005
R1006
R1007

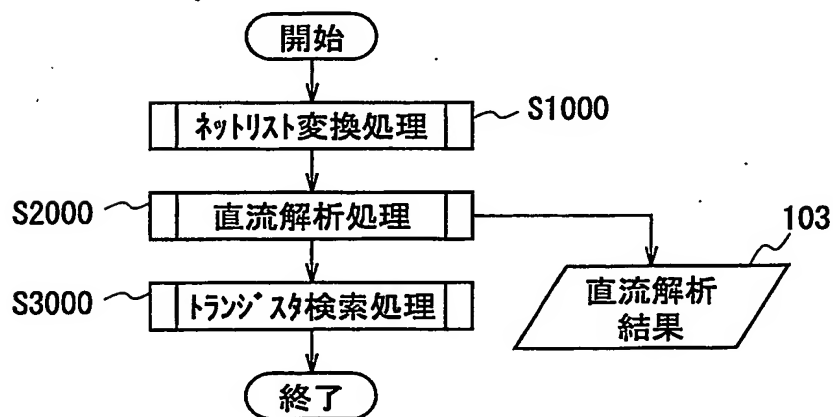
```

26/31

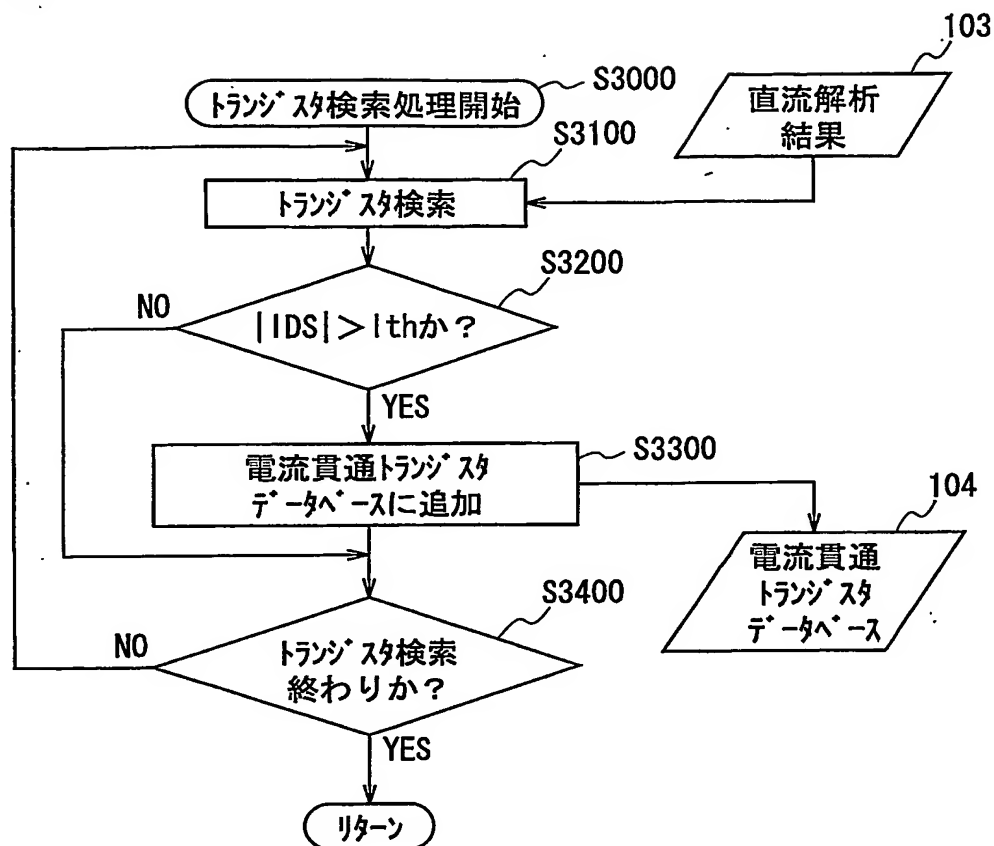
第27図



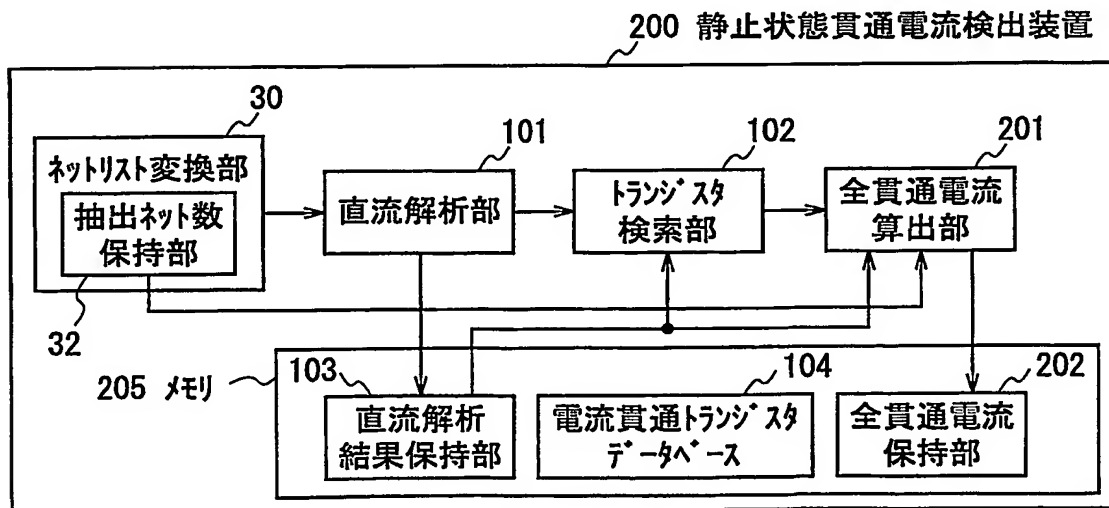
第28図



第29図



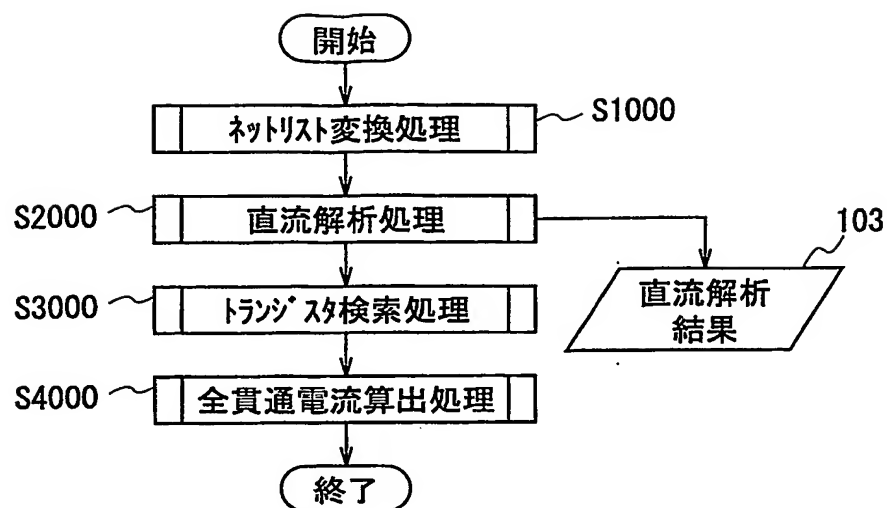
第30図



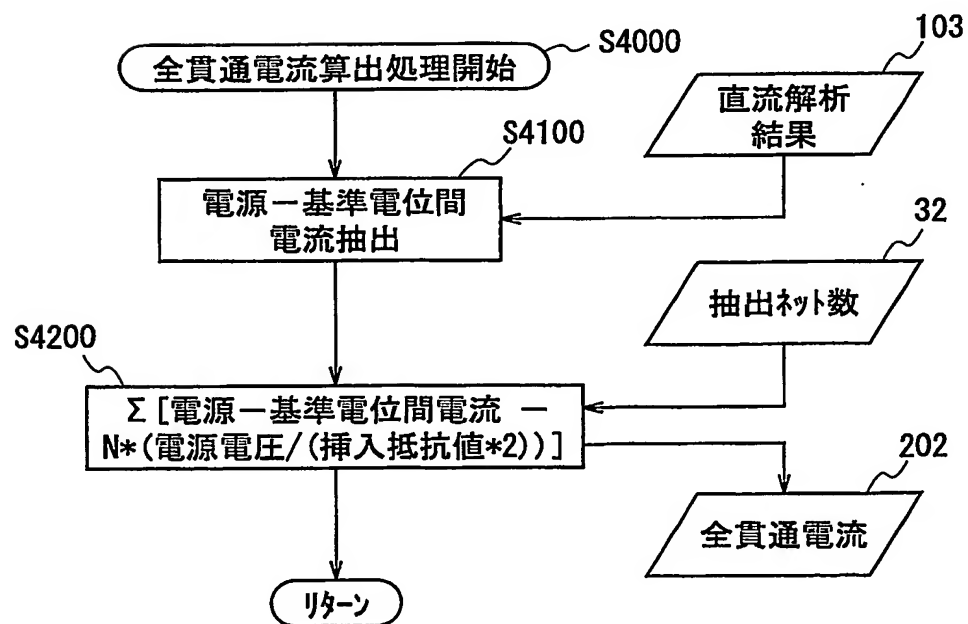


28/31

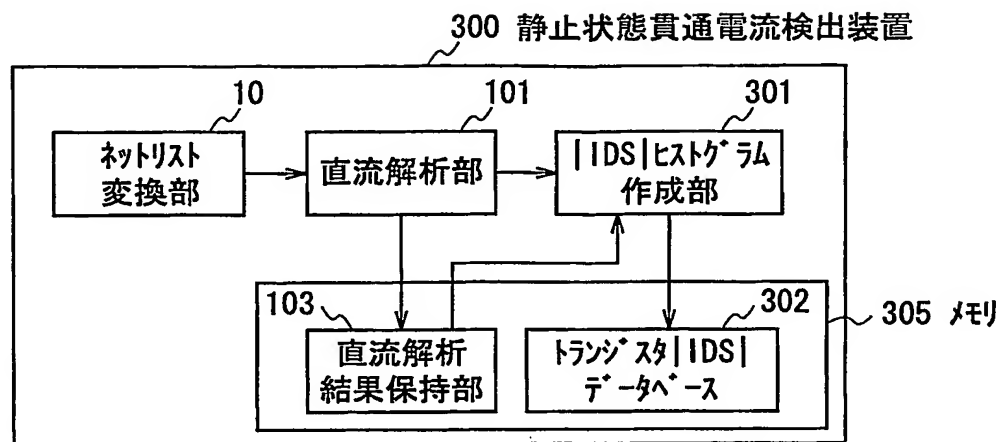
第31図



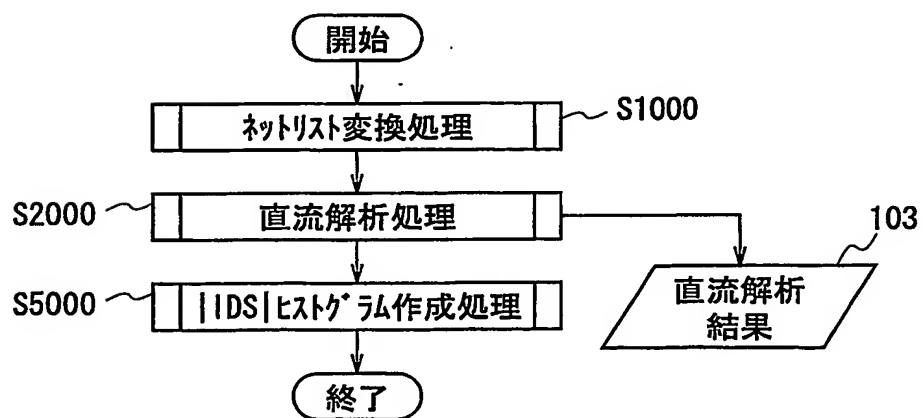
第32図



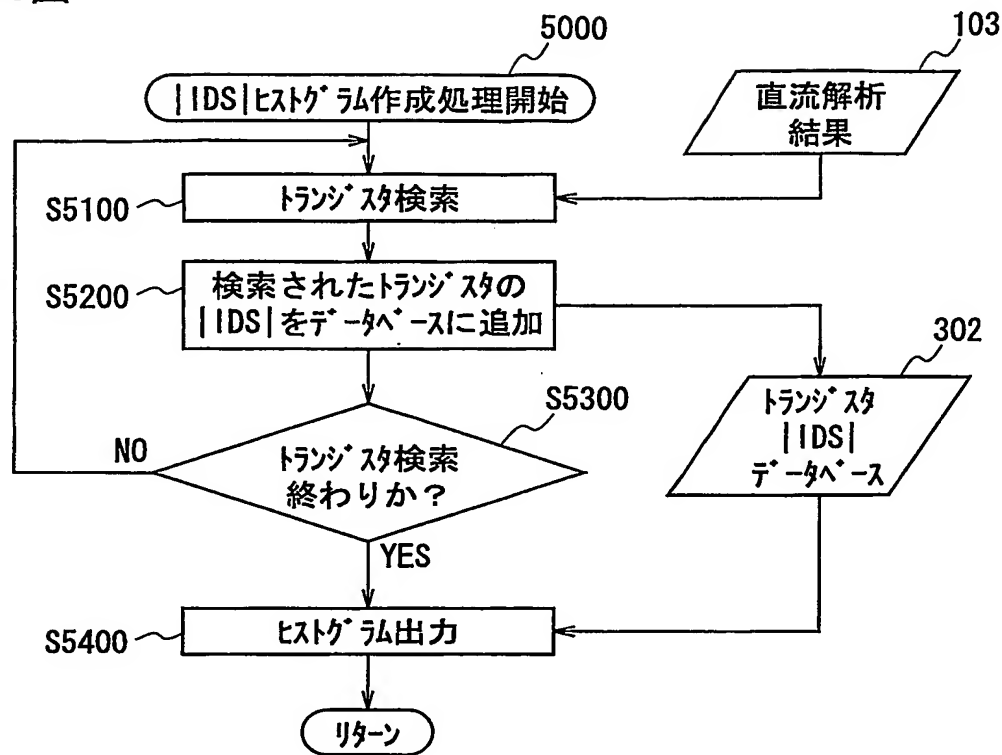
第33図



第34図



第35図



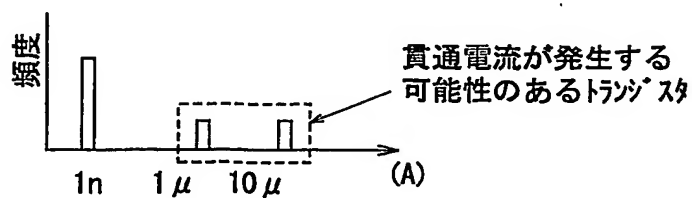
第36(a) 図

トランジスタ|IDS|データベース

20 $\mu$ A	MP1
20 $\mu$ A	MN1
5 $\mu$ A	MP2
5 $\mu$ A	MN2
1nA	OP1/MP01
1nA	OP1/MN01
1nA	INV1/MP2
1nA	INV1/MP2
1nA	TBUF1/MP01
1nA	TBUF1/MP01

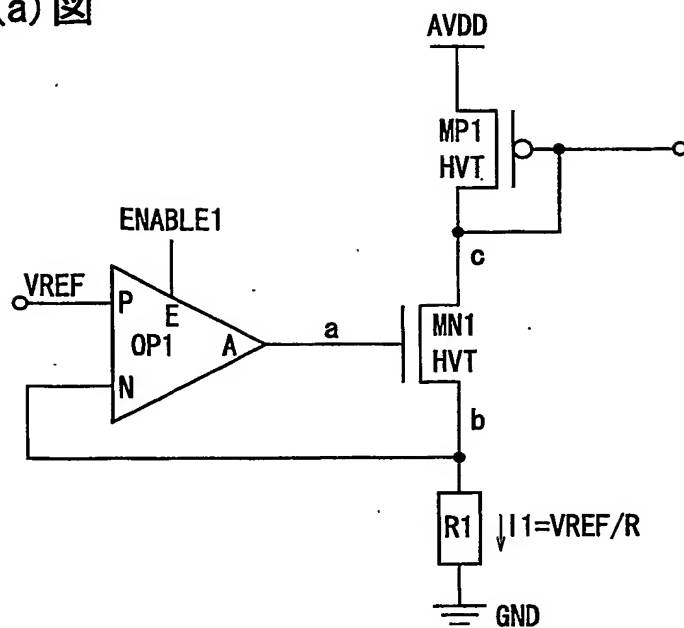
302

第36(b) 図



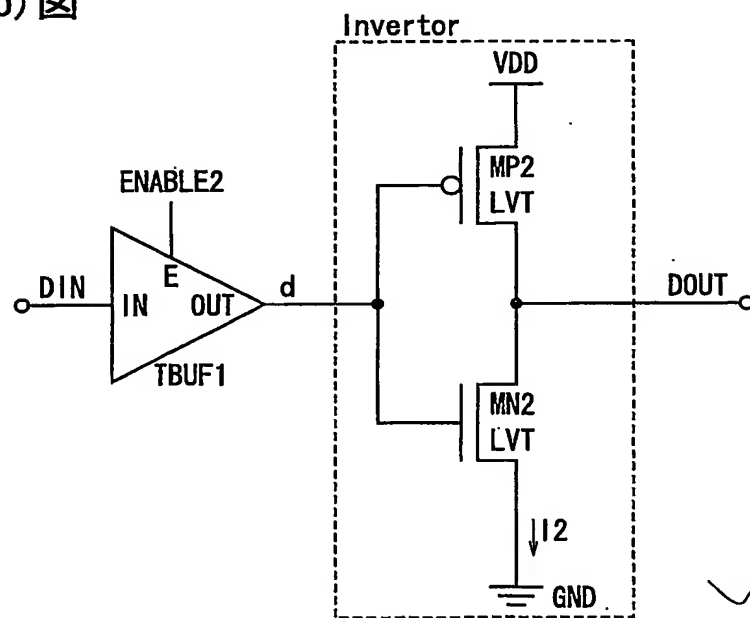
31/31

第37(a) 図



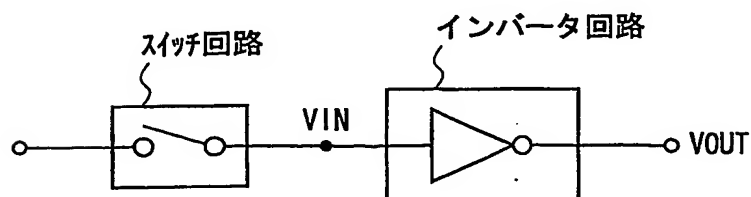
3701

第37(b) 図



3702

第38図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007006

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F17/50, H01L21/82, H03K19/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F17/50, H01L21/82, H03K19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus FILE (JOIS)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-160622 A (NEC Corp.), 12 June, 2001 (12.06.01), Claims 1, 5 & US 2001/0002707 A1	1, 14, 24, 35, 37
A	JP 10-301983 A (NEC Corp.), 13 November, 1998 (13.11.98), Abstract; Par. No. [0015]; Figs. 4, 5 (Family: none)	1, 14, 24, 35, 37
X	JP 8-194726 A (Fujitsu Ltd.), 30 July, 1996 (30.07.96), Par. Nos. [0006] to [0007]; Claim 2 & US 5706477 A	10, 22, 36

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
03 August, 2004 (03.08.04)

Date of mailing of the international search report  
17 August, 2004 (17.08.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/007006.

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The technical range of "a sub-circuit in accordance with a threshold value and a type of the MOS transistor" of claims 10-13, 22-23, 27-34, 36, 38-40 includes, for example, a sub-circuit having "the MOS transistor" itself but no resistor inserted (i.e., simply hierarchized sub-circuit).

Accordingly, a group of claims 1-9, 14-21, 24-26, 35, 37 and a group of claims 10-13, 22-23, 27-34, 36, 38-40 are not united into one invention nor so linked as to form a single general inventive concept.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 G06F17/50, H01L21/82, H03K19/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 G06F17/50, H01L21/82, H03K19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

JSTPlusファイル (JOIS)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-160622 A(日本電気株式会社)2001.06.12, 請求項1及び5 & US 2001/0002707 A1	1, 14, 24, 35, 37
A	JP 10-301983 A(日本電気株式会社)1998.11.13, 要約, 【0015】, 図4及び図5(ファミリーなし)	1, 14, 24, 35, 37
X	JP 8-194726 A(富士通株式会社)1996.07.30, 0006-0007, 請求項2 & US 5706477 A	10, 22, 36

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

03.08.2004

国際調査報告の発送日

17.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

早川 学

5H

9652

電話番号 03-3581-1101 内線 3531

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲第10-13, 22-23, 27-34, 36, 38-40項における「該MOSトランジスタの閾値及び種類に応じたサブサーキット」の技術的範囲には、例えば、前記「該MOSトランジスタ」そのものを備えるが抵抗素子は挿入されていないサブサーキット (すなわち、単に階層化しただけのサブサーキット。) が包含される。

してみれば、請求の範囲第1-9, 14-21, 24-26, 35, 37項と、請求の範囲第10-13, 22-23, 27-34, 36, 38-40項とは、一の発明であるとも、単一の一般的発明概念を形成するように連関している一群の発明であるとも認められない。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。